

Title	DSPを応用したデジタル制御POL電源技術の研究
Author(s)	野崎, 幸弘
Citation	高知工科大学, 博士論文.
Date of issue	2011-03
URL	http://hdl.handle.net/10173/728
Rights	
Text version	author



Kochi, JAPAN

<http://kutarr.lib.kochi-tech.ac.jp/dspace/>

DSPを応用したデジタル制御POL **電源技術の研究**

高知工科大学 社会人特別コース

野崎 幸弘

論文要旨

一般に、低電源電圧・大電流動作、モード遷移時の急激な電流変化（負荷急変）を特徴とする LSI 負荷では、負荷急変時に規格外の電圧変動が発生し、電源障害に至る問題がある。この問題への対策として、POL(Point of Load 電源)の使用が有効とされている。LSI 負荷の電源電圧は、さらに低圧化する傾向にあり、POL には高速応答が求められている。高速応答への対応には、アナログ制御、もしくは、デジタル制御による、従来法を上回る、より高帯域動作を可能とする方式の活用が考えられるが、アナログ制御は、回路の複雑化・大規模化を招くため、これらの回避が可能なデジタル制御が注目されている。デジタル制御は、ハードウェアとソフトウェアの方式に分類される。一般に、ハードウェア方式は、ADC(Analog to Digital Converter)・DPWM(Digital Pulse Width Modulator)の別途用意、機能の限定等、製品化への問題があるため、周辺機能が豊富で高速演算が可能なプログラマブル DSP(Digital Signal Processor)によるソフトウェア方式が注目されている。近年の DSP は、小形化・低コスト化・低消費電力化が進み、製品レベルでの適用が可能となり、この DSP による POL の高速応答化が期待される。

しかしながら、DSP を適用した POL の実用化には、数々の問題がある。例えば、POL の出力電圧信号を検出する ADC は、低電圧かつ負荷急変時の変動に対し、少ない誤差で高速な変換動作が求められる。また、DPWM は、高周波数(数 100kHz)、低比率(10%以下)の PWM 信号を精度良く出力しなければならない。このため、POL 用途に最適な ADC・DPWM の使用方法を決定する必要がある。また、高速応答においては、デジタル制御式に対する配慮が求められる。主回路の LC フィルタの定数は、高帯域化を理由に、高い共振周波数(10kHz 以上)が設定されるため、一般的な PI 制御式では、動作の安定が困難である。このため、高速応答と安定動作を満たす制御式が必要となる。さらに、実機動作では、デジタル制御特有の遅れ時間が問題となる。通常、デジタル制御では、AD 変換や演算処理が遅れ要素となり、応答性能が著しく損なわれる危険性がある。高速応答が特に重要な POL には、この遅れに対処することが強く求められている。

本研究では、POL に対して DSP によるデジタル制御を適用し、コスト負担の少ない電圧制御を維持しつつ高速応答を実現し、さらに、製品化を意図した小形な実機開発を目的としている。このため、上述したいくつかの課題に対し、これらを解決する独自の手法を提案している。まず、POL の主回路と制御回路を決定した後に、ADC が POL 用途に最適な動作を行うための評価方法と設定理由を示している。次に、精度の高い PWM 信号が DPWM で生成されるための数値処理を検討している。続いて、高帯域位相補償が可能な制御回路から、高速応答用のデジタル制御式を導出する方法を明らかにし、机上でその妥当性を検証している。さらに、POL の実機を試作し、上述の検討内容を DSP にプログラム実装して基本動作を確認した後に、プログラムによって時間管理がなされた遅れ時間を短縮する手法を提案し、効果の確認を行っている。最後に遅れ時間を補償する手法として予測制御を提案している。この手法は、処理に負担をかけず、高速な演算動作を可能としている。さらに、この提案手法は、DSP にプログラムで移植されており、新たに製作した超小形のデジタル制御 POL 上で評価され、その有効性は定量的に示されている。

論文構成

第1章 序論

データ通信の高速大容量化に伴い、情報通信装置では、LSI 負荷が多数使用されている。LSI 負荷は、低電源電圧・大電流動作、並びに、 μs 単位の高速度電流変動（負荷急変）を特徴とする。この負荷急変時に、電源ラインにおいて許容範囲を超えた電圧変動が発生し、LSI 負荷に電源障害を引き起こす問題があり、対処法として、POL を LSI 負荷に近接配置する方法が有効とされている。LSI 負荷は低電圧化が進行しており、POL を高速応答化して出力電圧変動をさらに抑制し、安定動作を確保する必要がある。しかし、高速化に際して、アナログ制御では回路の複雑化と大規模化が、デジタル制御では製品レベルでの実用化が問題になる。そこで本研究は、DSP を応用したデジタル制御技術により、POL の高速応答を確立し、製品化が可能な実機の開発を目的とする。本章では、高速応答電源の背景、POL の開発背景と業績、および、その問題点を明らかにし、本論文が提案する、DSP を応用したデジタル制御 POL の必要性を述べる。

第2章 POL のハードウェア・定式化

DSP を用いたデジタル制御 POL の作成に先立ち、第2章では、主回路と制御回路のハードウェアについて検討を行う。POL の主回路は、通常、非絶縁の降圧方式であり、さらに、負荷に電力を供給する LC フィルタのインダクタンス値と容量を決めるにあたり、高速応答用の設計が必要となる。一方、デジタル制御の中核となる DSP は、演算処理能力や周辺機能である ADC・DPWM の速度や分解能を考慮して、選定されなければならない。本章では、まず、POL の入出力条件と負荷条件を決定し、主回路に関する検討と設計の手順を示す。DSP に対しては、その要件を明示して、選定が行われる。続いて、負荷急変時における出力電圧変動値を推定するため、入出力条件・負荷条件・LC フィルタの定数・制御動作に伴う遅れ時間によって構成される、定式化されたモデルを導出する。このモデルにより、実機試験における出力電圧変動値を近似計算することが可能となる。

第3章 ADC の設定・DPWM に対する数値処理

POL をデジタル制御動作させるには、検出したアナログ信号をデジタル値に変換する ADC、および、演算された制御量を PWM 信号に変換する DPWM の存在が必要不可欠である。低電圧出力と高速応答動作を要する POL へ DSP を応用するには、ADC の検出精度や変換速度が重要である。ADC は、アナログ信号を様々な条件でデジタル値に変換することが可能であるが、POL 用途では、誤差と遅れを特に少なくする必要がある。一方、DPWM が精度の良い PWM 信号を生成するためには、供給する制御量のデータフォーマットに注意を要する。具体的には、このデータが格納されるメモリにおいて、小数から整数への繰り上がりが連続性をもつように、CLK 周波数と分解能を整合させる数値処理が求められる。このため、本章では、DSP に内蔵された ADC・DPWM に対する調査と検討を行い、これらの使用方法を決定する。

第4章 高速応答用デジタル制御式の検討

POLの応答性能を上げるためには、主回路と同様に、制御回路に対する検討が求められる。応答性能向上のために、スイッチ素子を駆動するPWM信号は、スイッチング周期毎に更新される必要があり、制御量を演算する処理は、この周期内に完了する必要がある。また、安定動作のため、制御式は、高いLCフィルタの共振周波数に対応することが求められる。しかし、アナログ制御回路とは異なり、上記の条件を満たすデジタル制御式を直感的に構築することは困難である。このため、高帯域位相補償が可能な回路から、デジタル制御式を導出する手順が示される。さらに、性能を維持した、より項数の少ない制御式を提案する。制御式に関しては、実機動作の前に基本的な動特性を知るため、回路シミュレーションを利用した検証が行われる。また、主回路や制御に伴う遅れ要素が、応答特性に及ぼす影響を知るため、これらの要素を近似小信号モデル化し、周波数応答解析が行われる。

第5章 実機動作に伴う制御遅れ時間の短縮に関する検討

デジタル制御POLの実機具体化にあたっては、製品レベルに即した外形サイズの実現、および、DSPに対する使用方法の理解が重要である。DSPは、デジタル制御に必要な諸機能を内蔵しているが、全ての制御動作をプログラムで実現しなくてはならず、さらに、ADCやDPWM等の周辺機能と演算部は、プログラムで連携が取られている必要がある。本章では、まず、実機試験用にDSPを搭載した1/4ブリックサイズのPOLを試作し、特性評価が実施される。そのため、制御プログラムのアルゴリズムを確立し、数種類の出力電圧・スルーレートを設定して、負荷急変時の出力電圧変動値を測定し、作成したデジタル制御POLの基本特性が確認される。さらに、出力電圧変動を抑制するため、実装されたプログラムの各処理時間を調査し、制御遅れ時間を短縮する手法を提案する。提案手法の有効性は、出力電圧変動が良好に抑制され、目標数値を達成することにより示される。

第6章 DSPによるPOLへの予測制御の導入

デジタル制御が有意義とされる点として、高度な制御手法が演算動作により実現できることが挙げられる。この高度な制御手法は、プログラマブルなDSPによって具体化が可能であり、短期間で製品化への道筋が示せる。前章では制御遅れ時間の短縮による高速応答化を示したが、DSPによるデジタル制御の優位性を明らかにするには、より高度な制御手法の確立が求められる。第6章では工学的応用として、プログラム動作によるフィードフォワード型予測制御手法を提案する。本制御手法は、従来の電圧制御方式を維持しつつ、出力電圧の変動傾向から線形推定による知的な予測演算により制御量を算出する構成が取られる。また、高速演算能力に優れるDSPにより、高スイッチング周波数での毎周期の制御演算を可能としている。提案手法は、プログラム化されてBGAタイプのDSPに移植され、新たに作成した1/8ブリックサイズのPOLに適用される。本手法の有効性は、出力電圧変動が良好に抑制され、目標数値を達成することにより示される。

第7章 結論

本論文では、DSP を応用したデジタル制御 POL による高速応答を実現するため、まず、ハードウェアを確立した後に、DSP の周辺機能である ADC・DPWM の使用法を検討し、続いて、高速応答用のデジタル制御式を検討した。続いて、試作した POL に対して、基本特性を確認した後、さらなる応答特性向上のために、制御遅れ時間を短縮する手法を提案して、目標数値を達成する抑制効果の確認を行い、その有効性を示すことができた。さらに、プログラマブルな DSP によるデジタル制御の優位性を示すため、高スイッチング周波数で動作する POL に適した予測制御手法を提案した。この提案手法は、新たに作成した超小形の 1/8 ブリックサイズ POL において、目標数値を達成する抑制効果が確認され、その有効性を示すことができた。

以上のように、本研究では、DSP を適用したデジタル制御 POL において、高速応答を実現するための課題を明らかにし、その解決方法を提案した。さらに、製品化が可能な実機の製作と、実験による提案手法の有効性を定量的に確認することにより、DSP を応用したデジタル制御 POL の技術を確立することができた。

目次

第1章 序論.....	1
1-1 高速応答電源の背景.....	1
1-2 POL の開発背景と業績.....	2
1-3 本論文の意義.....	3
1-4 本研究の目標と本論文の構成.....	5
引用文献・参考資料.....	6
第2章 POLのハードウェア・定式化.....	9
2-1 まえがき.....	9
2-2 主回路の検討・設計.....	10
2-2-1 POLの回路構成.....	10
2-2-2 負荷急変時の主回路動作概要.....	11
2-2-3 入出力条件の設定.....	12
2-2-4 負荷条件と出力電圧変動値の設定.....	14
2-2-5 MOSFETの選定.....	15
2-2-6 LCフィルタの設計.....	15
2-2-7 入力コンデンサの選定.....	17
2-3 DSP の検討と選定.....	18
2-3-1 DSPに求められる機能.....	18
2-3-2 DSP に求められる性能.....	19
2-4 出力電圧変動の定式化と評価.....	21
2-4-1 定式化.....	21
2-4-2 実機を想定した出力電圧変動の評価.....	26
2-5 実験環境の確立.....	26
2-6 むすび.....	28
引用文献・参考資料.....	28
第3章 ADCの設定・DPWMに対する数値処理.....	30
3-1 まえがき.....	30
3-2 ADCの評価と動作設定.....	31
3-2-1 ADCの実験環境と実験方法.....	31
3-2-2 取得データ誤差の標本分散評価.....	32
3-2-3 取得データ誤差の分布評価.....	33
3-3 ADC 取得データの移動平均処理.....	36

3-3-1	移動平均の手法.....	36
3-3-2	ラッピング動作の検討.....	37
3-4	ADC の動作解析と遅れ時間の調査.....	38
3-5	DPWM に関連する数値処理の検討.....	40
3-5-1	DPWM における問題設定.....	40
3-5-2	制御量データフォーマットの検討.....	42
3-6	むすび.....	43
	引用文献・参考資料.....	44
第 4 章	高速応答用デジタル制御式の検討.....	45
4-1	まえがき.....	45
4-2	アナログ制御回路.....	46
4-2-1	誤差増幅回路の設計.....	46
4-2-2	アナログ制御のシミュレーション動作確認.....	48
4-3	PI 制御のシミュレーション検証.....	49
4-4	デジタル制御式の導出.....	50
4-4-1	誤差増幅回路の周波数領域伝達関数.....	50
4-4-2	双一次変換.....	50
4-4-3	離散領域伝達関数の差分方程式変換.....	51
4-5	導出式のシミュレーション動作確認.....	54
4-6	項数を減らしたデジタル制御式の検討.....	55
4-7	小信号モデルによる評価.....	57
4-7-1	主回路のモデル化.....	57
4-7-2	デジタル制御動作のモデル化.....	59
4-7-3	シミュレーションによる周波数応答特性の評価.....	61
4-8	むすび.....	62
	引用文献・参考資料.....	63
第 5 章	実機動作に伴う制御遅れ時間の短縮に関する検討.....	64
5-1	まえがき.....	64
5-2	DSP によるデジタル制御回路.....	65
5-3	1/4 ブリック POL の試作.....	65
5-4	制御アルゴリズムの構成.....	67
5-5	負荷急変特性の評価.....	69
5-6	制御処理時間の調査.....	73
5-7	遅れ時間を短縮する手法の提案.....	75

5-7-1	データ取得タイミングの検討.....	75
5-7-2	演算処理分割の検討.....	75
5-7-3	実機確認.....	78
5-8	むすび.....	83
	引用文献・参考資料.....	84
第 6 章	DSP による POL への予測制御の導入.....	85
6-1	まえがき.....	85
6-2	予測制御についての考察.....	86
6-3	提案する制御手法.....	86
6-4	提案手法のシミュレーション検証.....	88
6-5	提案手法のプログラム化.....	91
6-6	実機評価.....	92
6-6-1	1/8 ブリック POL の製作.....	92
6-6-2	提案手法による負荷急変特性.....	94
6-6-3	提案手法による周波数応答特性.....	97
6-7	むすび.....	99
	引用文献・参考資料.....	99
第 7 章	結論.....	101
	関連論文・国際会議・関連特許・関連講演.....	104
	謝辞.....	106

第1章 序論

1-1 高速応答電源の背景

ICT^(*)1)による情報利便性の向上と電気通信業界の長期的成長を目的とした官民一体の推進活動⁽¹⁾により、国内のブロードバンドサービス利用者は、右肩上がりの増加を続けている⁽²⁾。ADSL^(*)2)やFTTH^(*)3)を利用した通信回線への接続、ワイヤレスアクセス等の実現により、大規模なインターネット利用形態が作り出されている⁽³⁾。インターネット回線を行き来する大量のデータは、データセンターに設置されたサーバー・ストレージ・スイッチ等の装置（情報通信装置）において大規模な処理が行われており⁽⁴⁾、これらの処理では、FPGA^(*)4)・ASIC^(*)5)・メモリ等の各種デジタル負荷（以下、LSI^(*)6)負荷と称す）が主としてその役割を担っている⁽⁵⁾。

LSI 負荷は、機能や規模により多種多様であるが、その中には低電圧・大電流の定格を有する品種が存在する。LSI 負荷の大電流化は、機能増加と処理速度向上を目的とした、集積回路の高密度化と動作 CLK（クロック）の高速化を理由とするが、データセンターにおける省電力化要求^(A)の高まりを受け、消費電力低減のため動作電圧は低下する傾向にある。さらに LSI 負荷は、シリアル転送時等、大量のデータを一括処理するモード変更時に、急激な電流変化（ μ s 単位の高速負荷急変）の発生を特徴とする。この負荷急変が、基板上の電源パターンに寄生する配線インピーダンスに作用し、許容範囲を超えた電圧変動が発生して LSI 負荷に電源障害を引き起こし、装置が誤動作する問題がある。

上記負荷急変は、LSI 負荷に電力を供給する電源に対して、厳しい要求となることが以前から指摘されており⁽⁶⁾⁽⁸⁾、この問題への対処法として、POL (Point of Load 電源)と呼ばれる小形の DC-DC 電源を LSI 負荷の直近に配置し、配線ルートを極力短くする方法が有効とされている⁽⁹⁾。また、さらなる省電力化を理由に、LSI 負荷の動作電圧は低電圧化が進行し続けており、前記電圧変動の許容範囲は、これまで以上に狭まる傾向にある^(B)。このため、負荷急変に対する POL の応答を高速化し、出力電圧変動をさらに抑制しなければならない。なお、POL は、LSI 負荷に近接して配置される必要上、小形で低背な形状であることも求められる。

POL の主回路は、応答帯域を広げるために高い共振周波数の LC フィルタが設定され、さらに、高スイッチング周波数動作、低オンデューティによる低出力電圧動作を特徴とする。また、制御回路には、負荷急変に対する素早い応答動作、並びに、安定化動作が求められる。POL の高速応答化に関しては、これまで多くの研究や製品開発が行われ、制御方式についての各種提案がなされているが、実際の製品においては、従来からのコスト負担の少ないアナログ回路による電圧制御方式が多く用いられている。電圧制御は回路構成が簡素であり、製品化に向いている反面、応答性能の向上には限界があるため、設計自由度の高いソフトウェアにより動作する DSP (Digital Signal Processor) を応用した、デジタル制御 POL による高速応答の実現が期待されている。

(*)1) ICT: Information Communication Technology (*2) ADSL: Asymmetric Digital Subscriber Line

(*)3) FTTH: Fiber To The Home (*4) FPGA: Field-Programmable Gate Array (*5) ASIC: Application Specific Integrated Circuit (*6) LSI: Large Scale Integration

1-2 POL の開発背景と業績

POL は、一般の DC-DC 電源と比較すると、より小形・低出力電圧・高速応答が求められており、社会的な背景として、電力供給対象である負荷や搭載される装置からの要求によって現れた形態であるといえる。以下、次節の本論文の意義における問題設定への布石として、POL のこれらの特徴を踏まえた研究開発背景を述べる。

DC-DC 電源は、装置の電源系統において大きな比重を占めており⁽¹⁰⁾、その小形化進行と POL 登場への経緯は、概ね以下の通りである。1970 年以前は 0.01W/cc 以下であったデジタル交換機用のパッケージ形 DC-DC 電源の電力密度は、1980 年以後は 0.1W/cc 以上となり、ATM^(*)7)交換機に合わせてオンボード電源が登場した 1990 年代以降は、1W/cc を上回った^(C)。さらに、LSI 負荷に対応して、2000 年以降に登場した POL は、1/4 ブリックから 1/8 ブリックと小形化が加速し、最近では 1/16 ブリックまでもが製品化され、電力密度は 10W/cc 前後にまで至っている^(D)。POL には、LSI 負荷への近接配置が要求されるため、小形化は今後も進み、電力密度はさらに上昇することが予想される。

POL の低出力電圧については、その数値のみならず、入力電圧との差が及ぼす影響について触れる必要がある。低出力電圧化は、前節で述べたように、LSI 負荷の動作電圧低下への対応が主たる要因である。なお、LSI 負荷は、演算機能に加え周辺機能を多く有するため、3.3V から 1V 前後に至る複数の電圧値が要求されることが知られている⁽¹¹⁾。これに対し、入力電圧は、装置の給電系統によって定まる。商用受電形の装置における給電系統は、通常、2 種類に大別される。交流から変換された DC48V を絶縁形電源によって 5V から 12V 前後の中間電位に降圧後、末端の POL や LDO^(*)8)に供給する従来の方式がある一方で^(E)、商用を直接 12V に変換する方式が近年普及している^(F)。このように、POL の入出力電圧差が拡大すると、主回路のスイッチ素子を駆動する PWM^(*)9)信号のデューティが縮小し、制御性能に影響を与える。

一方、POL に求められる高い応答性能は、LSI 負荷の電流スルーレートが大きな要因となっている。スルーレートは、LSI 負荷の品種・使用方法・実装形態により異なるため、明確な規格は存在しない。元々、LSI 負荷の特異な性能は、動作電圧が 1V 前後、動作電流が 100A を超すペンティアム等の MPU^(*)10)によって注目を集めた。MPU は、非常に急峻で大振幅の電流変化が発生することで知られている⁽¹²⁾。なお、MPU 用電源は、POL と区別して VRM^(*)11)と呼ばれている。2000 年以前における MPU のスルーレートは、20A/μs から 30A/μs の範囲であったが⁽¹²⁾、現在では、数 100A/μs 程度のものである^{(G),(H)}。MPU より規模が下回る LSI 負荷も、100A/μs を超えるスルーレートが過去に想定されたようだが、現在では、一般に 10A/μs を下回る数値とされているようである^{(I),(J)}。しかし、10A/μs という値でも、従来の DC-DC 電源に要求される数値 (0.1A/μs 程度) より格段に大きく依然として厳しい要件であり、このことは、POL の制御方式の問題へと波及する。

製品化されている POL において、多用されている制御方式は電圧制御であり、これを実現する方式は、アナログ制御とデジタル制御に分類される。アナログの電圧制御は、出力電圧信号を入力として、誤差増幅回路と比較器を介して生成した PWM 信号によりスイッチ素子を駆動

(*)7) ATM: Asynchronous Transfer Mode (*8) LDO: Low DropOut (*9) PWM: Pulse Width Modulation
(*)10) MPU: Micro-Processing Unit (*11) VRM: Voltage Regulator Module

する旧来の方式であり、検出回路や制御回路が簡素なため、コストメリットが大きく、製品適用に優れている。アナログの電圧制御で動作する従来の POL 製品では、LC フィルタの高い共振周波数に対応するため、高周波帯域を有す誤差増幅器を内蔵する制御 IC^{(K)-(M)}と共に、タイプ III（タイプ III 型進み遅れ補償回路^(N)）が適用されているようである。タイプ III は、2pole2zero（2 つのゼロ点と 2 つのポール）を受動素子の組み合わせで設定し、共振周波数による減衰と位相回りの作用に対して、限定的ではあるが、応答帯域の拡大と位相余裕の調整ができる。一方、デジタルの電圧制御による POL 製品には、各種デジタル制御 IC^{(O)-(P)}が使用されている。これらの IC は、演算部がアナログ回路から置き換えられた離散的ハードウェア構成で固定されており、応答性能はアナログ制御と同様である。また、制御方式を維持しつつ出力電圧変動を抑制する場合は、デカップリングコンデンサを並列増強する方法が知られている⁽¹³⁾。

POL を高速応答化する制御方式として、アナログ制御では、電流制御⁽¹⁴⁾やヒステリシス制御⁽¹⁵⁾が知られている。なお、電流制御は、検出抵抗における損失増、誤動作対策用のマスク処理がデューティ制限に繋がる等の問題があり、ヒステリシス制御は、負荷量でスイッチング周波数が変動するためチョーク設計が困難、素子の遅れや出力コンデンサの ESR^(*12)の影響で定常誤差が出る等の問題がある⁽¹⁶⁾。アナログ制御の場合、これらの対策のため、制御回路の大規模化・複雑化が予想される。デジタル制御では、ADC^(*13)や演算による遅延が高速化を妨げ、DC-DC 電源への製品適用は不向きと考えられていたが、高速応答については数々の研究が行われ、高速 ADC と高分解能 DPWM^(*14)を備える小形制御 IC の提案⁽¹⁷⁾⁽¹⁸⁾や、負荷急変時にモードを切り替える Optimal 制御を始めとする非線形制御手法が提案されている⁽¹⁶⁾⁽¹⁹⁾⁻⁽²¹⁾。なお、Optimal 制御は、素子の遅れ時間や検出誤差による誤動作が指摘されており⁽²²⁾、また、これらの研究では、制御用に FPGA や ASIC 等、ハードウェア方式の IC が使用されているため、製品化には、さらなる検討が必要と思われる。

さらに、上述のデジタル制御とは異なる、DSP を応用したデジタル制御の研究が報告されている⁽²³⁾⁽²⁵⁾。旧来の DSP は、高価格でサイズが大きく、ADC や DPWM を有していない等、POL を含む DC-DC 電源製品への適用は困難であった。しかしながら、近年、安価で周辺機能に富む高性能な DSP が登場するに至り、状況は変わりつつある。この DSP が備える高速演算能力とプログラムによる制御実現性により、POL に高速応答性能を与え、製品化を意図した実機を実現する意義、並びに、課題を次節において述べる。

1-3 本論文の意義

POL の高速応答性能を評価する重要な判定項目となるのは、負荷急変時の出力電圧変動値である。なお、変動後の出力電圧が目標値へ戻る整定時間は、さほどの重要とされておらず^(Q)、次の急変が発生するまでに復帰すれば十分なようである（例えば 100 μ s 以内）。負荷急変時の出力電圧変動は、主回路の LC フィルタを構成するチョークのインダクタンス値と出力コンデンサの容量、および、負荷のスルーレートや変動範囲によって異なり、その値は厳密に規定されていない。しかしながら、電圧制御で動作する POL の場合、各種データシート^{(I),(R)-(T)}から総合

(*12) ESR: Equivalent Series Resistor (*13) ADC: Analog to Digital Converter (*14) Digital PWM

的に判断すると、LC フィルタの定数を $0.5\mu\text{H}$ から $1\mu\text{H}$ 、および、 $300\mu\text{F}$ から $500\mu\text{F}$ の範囲とし、負荷を無負荷から 5A の範囲（定格 10A 場合の 50% 変動）かつ数 $\text{A}/\mu\text{s}$ の速度で急変させた場合、変動値が 100mV を切ることが、高速応答を満たす 1 つの判定基準と考えられる。なお、これら設計数値の算出や根拠については、第 2 章において詳しく述べる。

電圧制御の POL が、より高い応答性能を得るためには、タイプⅢを上回る位相補償回路が必要となるが、アナログの場合、制御回路の規模が増大し、さらに、困難な調整作業に陥ることが予想される。また、見過ごされがちであるが、アナログの制御 IC もデジタル制御と同様に遅れを持つため、位相補償回路による対応には限度があると思われる。このように、アナログ、もしくは、アナログからデジタル化された電圧制御による POL の高速応答には限界があるため、その解決を図る手段として、高速演算性能と設計自由度を備えるプログラマブル DSP を応用し、高速応答、並びに、製品化を検討する重要性は高いと考える。

前述のように、近年の制御用 DSP は、小形化・低コスト化・低消費電力化が進み、高性能な ADC・DPWM を備える品種が現れている。しかし、POL への DSP 適用にあたっては、LC フィルタの高共振周波数、高スイッチング周波数動作、低出力電圧動作に加え、実機におけるデジタル制御の問題である、遅れ要素、出力電圧検出方法や PWM 信号の処理方法、および、ソフトウェア方式による優位性に関連し、以下に述べる、いくつかの課題が浮かび上がる。

1. POL の出力電圧を検出する ADC は、低電圧かつ負荷急変時の変動に対し、高い精度と変換速度を維持しつつ、取得データを DSP の演算部に供給することが求められる。しかし、入力される電圧範囲と変換速度に対し、変換されたデータに含まれる誤差が変わることが考えられ、これを最小にする設定の決定方法が不明確である。一方、DPWM は、数 100kHz の高スイッチング周波数で、入出力電圧差に伴う低オンデューティの PWM 信号を、高精度かつ連続性を有するように生成しなければならない。しかし、使用する DSP の CLK 周波数と DPWM の分解能に一致がない場合、PWM 信号が精度良く生成されない可能性がある。

2. 制御動作の要となるデジタル制御式には、主回路動作に対する配慮が求められる。応答の高帯域化を理由に、 10kHz 以上の高い共振周波数が LC フィルタの定数によって設定されるため、一般に用いられる PI 制御では、出力電圧波形が振動的となって安定動作が困難になり、応答帯域を下げざるを得ない。このため、高速応答と安定動作を両立する、POL に有効な制御式を設計する必要に迫られる。さらに、POL 用のデジタル制御式は、アナログ回路とは異なり、経験と直感によって構築することが困難であるため、導出手順の明確化を要する。

3. フルデジタル制御電源の実機動作においては、AD 変換や制御演算等、デジタル制御特有の処理が冗長となり、無視できない遅延要素となる。また、固定スイッチング動作の場合、PWM 信号の更新はスイッチング周期に依存するため、遅れがより増大して応答性能が著しく損なわれる危険性がある。高速応答が重要視される POL では、これらの遅れが応答性能向上にあたっての制約となるため、その実現にあたっては、遅延要素への対処が強く求められる。

4. 従来のデジタル制御 POL 製品においては、制御方式がアナログ回路からの置き換えや試行錯誤の調整作業を伴う等があり、その優位性は条件付きであると考えられる。POL におけるソ

ソフトウェア方式によるデジタル制御の優位性を示すには、プログラマブルな DSP の利点を生かして、従来の電圧制御方式を維持しつつ、上述の遅れ要素に対処するための高度な手法を立案、並びに、具体化し、実機において高速応答を達成することにより、新規性を明らかにすることが求められる。

1-4 本研究の目標と本論文の構成

前述したように、従来のアナログ制御、並びに、アナログから置き換えられたデジタル制御による電圧制御方式のPOLは、高速応答、および、小形化に対して問題を有している。高速応答化のために、アナログ制御によって高帯域化を目指した場合、回路の複雑化や大規模化が懸念される。一方、デジタル制御は、制御の高度化により問題を回避し得るが、現状、ハードウェア方式は製品化において難が有り、高速演算性能と周辺機能を備える、プログラマブルなDSPにより解決できる可能性がある。

POLの主回路動作における特徴は、LCフィルタの高い共振周波数、高スイッチング動作、低出力電圧動作であり、さらに、DSPを適用した実機動作においては、ADCによる検出手法、DPWMに対する制御量データの取り扱い、制御遅れ時間が問題となる。デジタル制御POLの高速応答実現のためには、上記の2段構えともいえる課題を解決する必要がある。本研究は、DSPを応用したデジタル制御により、入力12V出力1Vの広い入出力電圧差、並びに、スイッチング周波数500kHzの動作条件において、出力10A定格の50%負荷変動と10A/μsのスルーレートに対し、出力電圧変動が100mV以下に抑制される高速応答を達成することを目標としている。さらに、製品化が可能な、小形の実機開発を目的としている。

本論文は、結論である第7章までを含めて構成される。まず第1章では、社会的な背景として、LSI負荷の出現とPOLが果たす役割について述べる。次に、アナログ制御、デジタル制御による、POLについてなされた研究と製品開発における業績と問題点、および、DSPを適用したデジタル制御POLの課題を明確化し、本研究がなされたことに対する意義を述べる。同時に、独自の制御手法をDSPによって具体化したことによる、優位性と新規性を述べている。

第2章では、本研究で使用するデジタル制御POLの作成に先立ち、POLの入出力条件・負荷条件・負荷急変時における出力電圧変動目標値が設定され、さらに、これらの要件をもとに、主回路と制御回路のハードウェアについての検討、および、選定がなされる。POLの高スイッチング周波数動作と低出力電圧動作に対しては、DSPの適切な選定により解決が図られる。次に、負荷急変時の出力電圧変動値を推定するための定式モデルが示される。この式により、スルーレートや制御動作に伴う遅れ時間が、出力電圧変動に及ぼす影響を知ることができる。

第3章では、DSPが内蔵するADC・DPWMの使用法が検討される。ADCに関しては、各種入力電圧・変換速度の条件によって得られたデータに対して、標本誤差、誤差分散による評価を実施し、AD変換の速度を決定する。さらに、AD変換方式の検討と遅れ時間の机上検証を実施する。DPWMについては、CLK周波数とDPWMの最小分解能の不一致性を整合するため、制御量データが格納されるメモリにおいて、数値の連続性が保たれるデータ処理方法を定める。以上の検

討により、POLの制御用に最適と考えられるADC・DPWMの使用方法が決定される。

第4章では、LCフィルタの高共振周波数に対応した、高速応答と安定動作が可能な、デジタル制御式を検討する。制御式は、高帯域位相補償が可能なアナログ回路から、伝達関数化と一次変換によって導出される。導出された制御式は、実機動作に先立ち、回路シミュレーションを用いた机上動作確認によって妥当性の検証が行われる。また、POLの主回路と制御における遅れ要素が、応答特性に及ぼす影響を精度良く短時間で把握するため、POLの全ての回路要素を等価的に置換した近似小信号モデルを作成し、上記と同様にシミュレーションによって、周波数応答特性の検討がなされる。

第5章では、第3章と第4章で検討した、ADCの設定、DPWMに対する数値処理、デジタル制御式をプログラム化してDSPに実装し、1/4ブリックサイズのPOL試作機を用いて、特性評価を実施する。デジタル制御POLの基本特性を確認した後、出力電圧変動をさらに抑制するため、制御演算に伴う遅れ時間を把握し、これを短縮するために、1制御周期の中でADCのデータ取得動作がDSPによって時間的に管理されている手法、および、さらなる遅れ時間短縮を目的とした制御演算分割化手法を提案する。提案手法は、ソフトウェア方式によるデジタル制御によって実現可能な方式であり、その有効性は、出力電圧変動が基本特性に対して良好に抑制され、目標数値の達成が確認されることにより示される。

第6章では、工学的応用として、DSPを用いたプログラム制御による、フィードフォワード型予測制御による遅れ補償の手法を提案する。デジタル制御の最大の利点は、アナログやアナログからデジタルに変換された方式では実現が困難な、推定動作に代表される式化された知的制御手法を演算動作により実施可能なことであり、さらに、この手法は、プログラマブルかつ高速演算性能を有するDSPによって、POLへの具体的な適用が可能になる。提案手法はプログラム化され、新たに製作した1/8ブリックサイズPOLに搭載された、BGAタイプのDSPに移植される。本手法の有効性は、出力電圧変動が基本特性と比較して良好に抑制され、目標数値の達成が確認されることにより示される。

引用文献

- (1) 鈴木：「i-Japan 戦略 2015 を中心にして」，電気通信誌 Vol.73 No.756, pp.7-13 (2010)
- (2) 福田，長，江崎，加藤：「国内ブロードバンドトラヒックの動向」，信学誌 Vol.93 No.4, pp.276-279 (2010)
- (3) 竹内：「通信事業者の動向」，電学誌 Vol.129 No.2, pp.92-96 (2009)
- (4) 岡本：「インターネットデータセンターの現状と取り組み」，電気通信誌 Vol.73 No.760, pp.17-27 (2010)
- (5) 松本：「FPGA/CPLD の変遷と最新動向[I]」，信学誌 Vol.93 No.6, pp.485-491 (2010)
- (6) 百武，中原，原田：「低電圧電源における負荷急変時の過渡応答について」，信学技報 Vol.101 No.38,

pp.15-20 (2001)

(7) 百武, 原田, 中原:「低電圧スイッチング電源における負荷急変時のサージ電圧の発生について」, 信学論 B Vol.J85-B No.5, pp.856-862 (2002)

(8) 原田:「情報通信用電源の動向と問題点 ー低電圧大電流化への対応ー」, 信学論 B Vol.J87-B No.12, pp.1987-1993 (2004)

(9) 鈴木:「コア電圧 1.2V に対応する高速 DC-DC コンバータ」, EDN Japan No.53 (pp.71-78), No.54 (pp.69-78) (2005 年 7 月, 8 月)

(10) 向井, 四元:「通信用電源の技術動向」, 信学技報 Vol.81 No.95, pp.5-12 (1981)

(11) Deuty:「Exploring the Option for Distributed and Point of Load Power in Telecomm and Network Application」, in Proc. IEEE INTELEC Conf, pp.223-229 (2004)

(12) Zhou, Zhang, Liu, Wong, Chen, Wu, Amoroso, Lee, Chen:「Investigation of Candidate for Future Microprocessors」, in Proc. IEEE APEC Conf, pp.145-150 (1998)

(13) 野村, 青木, 中田:「高速DSP用オンボード電源の開発」, 高速信号処理応用技術学会誌第9巻 第2号, pp.63-70 (2006)

(14) Redl, Sokal:「Current-mode control, five different types, used with the three basic classes of power converters」, in Proc. IEEE PESC Conf, pp.2133-2139 (1985)

(15) Arbetter, Maksimović:「DC-DC Converter with Fast Transient Response and High Efficiency for Low-Voltage Microprocessor Load」, in Proc. IEEE PESC Conf, pp.156-162 (1998)

(16) Feng, Meyer, Liu:「A New Digital Control Algorithm to Achieve Optimal Dynamic Performance in DC-to-DC Converters」, IEEE Transactions on Power Electronics. Vol.22 No4, pp.1489-1498 (2007)

(17) Xiao, Peterchev, Sanders:「Architecture and IC implementation of a digital VRM controller」, IEEE Transactions on Power Electronics. Vol. 18 No.1, pp.356-364 (2003)

(18) Patella, Prodic, Zirger, Maksimović:「High-frequency digital controller IC for dc/dc converters」, IEEE Transactions on Power Electronics. Vol. 18 No.1, pp.438-446 (2003)

(19) Soto, Alou, Cobos:「Non-Linear Digital Control Breaks Bandwidth Limitation」, in Proc. IEEE APEC Conf, pp.724-730 (2006)

(20) Zhao, Prodic:「Continuous-Time Digital Controller for High-Frequency DC-DC Converters」, IEEE Transactions on Power Electronics. Vol.22 No4, pp.564-573 (2008)

(21) Huerta, Alou, Oliver, Garcia, Cobos, Alfotouh:「A very fast control based on hysteresis of the Cout current with a frequency loop to operate at constant frequency」, in Proc. IEEE APEC Conf, pp.799-805 (2009)

(22) Radić, Lukić, Prodić:「Minimum Deviation Digital Controller IC for Single and Two Phase DC-DC Switch-Mode Power Supplies」, in Proc. IEEE APEC Conf, pp.1-6 (2010)

(23) 竹下, 臼井, 松井:「DSP を用いたスイッチング電源のソフトウェア制御法」, 信学論 B Vol.J82-B No.4, pp.591-599 (1999)

(24) Bibian, Jin:「Time Delay Compensation of Digital Control for DC Switchmode Power Supplies Using Prediction Techniques」, IEEE Transactions on Power Electronics. Vol. 15 No.5, pp. 835-842 (2000)

(25) 曾禰, 曾禰, 田口:「DSP を用いたデジタル PWM による交流電源の波形・効率の改善」, 電気設備学会誌 Vol.26 No.2, pp.129-135 (2005)

参考資料

- (A) 平松, 伊藤, 古谷野, 羽生, 臼杵:「データセンターの省電力化プロジェクト Cool Center50」, 日立総論 Vol.90 No.05, pp.442-443 (2008)
- (B) 新井:「FPGA 活用チュートリアル 2008/2009 年版 FPGA/CPLD の基礎と最新動向」, CQ 出版社, pp.9-18 (2008)
- (C) 通信用電源研究会 編:「情報・通信用電源」 電気通信協会 (1998)
- (D) Murata:「ULS Series datasheet (MDC_ULS Series.B14)」 (2010)
- (E) 平林:「情報・通信用標準 DC-DC モジュールのご紹介」, 新電元パスワード Vol.08-09 (2008)
- (F) Yeaman:「Datacenter Power Delivery Architectures : Efficiency and Annual Operating Costs」, Darnell Group Digital Power Forum (2007)
- (G) Murata Power Solutions:「VR11C & VR11E module datasheet(MDC_VR11C-VR11E_Series.A03)」 (2009)
- (H) FDK:「FPVR12CR50130PA module datasheet (VER1.4)」 (2010)
- (I) Synqor:「NQ03xxxVMA15 datasheet(#005-2NV3xxE Rev.E)」 (2004)
- (J) Linear Technology:「μModule LTM4600 datasheet (LT0807 REV C)」 (2006)
- (K) Texas Instruments Inc:「TPS4005x Data Sheet (SLUS593B)」 (2004)
- (L) International Rectifier:「IR3624MPBF Data Sheet (PD94714 revA)」 (2006)
- (M) Intersil Inc:「ISL6540A Data Sheet (FN6288.5)」 (2008)
- (N) Pressman:「Switching Power Supply Design Second Edition」, McGraw-Hill, pp.451-460 (1998)
- (O) Texas Instruments Inc:「Digital Point of Load System Controller UCD9240 datasheet (SLUS766C)」 (2008)
- (P) Intersil Inc:「Digital PWM System Controller ZL2004 datasheet (FN6846.0)」 (2009)
- (Q) Bellnix:「Power Supply Technical Application Note for Altera's FPGAs」 (2008)
- (R) Texas Instruments Inc:「8-A, 5-V input nonisolated wide-output adjust sip module PTV05010W datasheet (SLTS242A)」 (2005)
- (S) ARTESYN:「PTH03060 datasheet Rev:28」 (2006)
- (T) 新電元工業:「非絶縁型小型大容量DC-DC コンバータ HNBL200 電源モジュール取扱説明書 (5RE-090010-1)」 (2009)

第2章 POL のハードウェア・定式化

2-1 まえがき

DSP を応用したデジタル制御 POL の開発を具体的に進めるため、まず、電力の変換と蓄積の作用を果たす主回路、並びに、検出・演算・スイッチ駆動の機能で構成される制御回路に対する検討を行う。通常、POL の主回路は、非絶縁の降圧方式^{(A),(B)}であり、さらに、LC フィルタのインダクタンスと容量については、高速応答を意図した設計が求められる。一方、プログラム制御の中核となる DSP は、スイッチング周期に即した演算処理能力や、検出とスイッチ駆動の動作に要する ADC と DPWM の速度や分解能について検討され、選定されなければならない^(C)。これらの要件は、負荷急変時における POL の動作を把握した上で、入出力条件（入出力電圧値・負荷電流値）と負荷条件（スルーレート・電流変動範囲）を定めることにより、検討することが可能になる。さらに、設計した LC フィルタの値を含む定式モデルを構築することにより、実機における負荷急変時の出力電圧変動値を推測することが可能になる。

POL の主回路は、低電圧大電流の仕様に加えて、高速な負荷急変を発生する LSI 負荷に対し過不足なく電力を供給するため、通常の降圧形電源とは異なる、同期整流方式^(D)として知られる主スイッチ構成が必要となる。このスイッチ素子は、POL の入出力電圧差を想定した選定がなされなければならない。さらに、負荷変動時における出力コンデンサの過大な充放電を避けるため、LC フィルタの定数設定が重要になる。負荷急変時において、急増の場合は急速な入力からの給電動作を、急減の場合は急速な回生動作を要するため、チョークのインダクタンスは、できるだけ小さくする必要がある。しかし、これに伴い、チョーク電流の振幅が増加し、リップル電圧の増大を招くことから、出力コンデンサの適切な容量増強が求められる。

一方、デジタル制御用の IC となる DSP の選定にあたっては、低電圧出力動作を実現する高分解能 ADC・DPWM 機能の内蔵、並びに、制御演算の処理能力が、重要な判断項目となる。比較的高いスイッチング周波数動作を要する POL では、PWM 信号を毎スイッチング周期で更新させるために、制御演算を毎周期で完結させるデータ処理能力が求められる。この高いデータ処理能力を実現するためには、DSP を駆動する CLK 周波数が、発熱が問題にならない範囲内で高く、さらに、出力電圧を検出する ADC の変換速度は、可能な限り高速である必要がある。なお、DSP は、POL に搭載されるため、小形であることも必須条件となる。

本章では、デジタル制御 POL の作成に先立ち、まず、入出力条件と負荷条件を決定し、主回路の検討と設計手順、および、DSP の選定理由を示す。さらに、負荷急変時における出力電圧変動値の推定用に、設計した LC フィルタの定数、制御動作に伴う遅れ時間で構成される式を示す。この式に対して、上述の各種設計条件を設定することにより、出力電圧変動に対して遅延要素と応答速度が及ぼす影響を知ることができる。また、実機試験用に、デジタル制御 POL の検証環境を構築し、以後の実機試験における基礎条件を整える。

2-2 主回路の検討・設計

2-2-1 POL の回路構成

POL の主回路は、通常、低電圧・大電流出力に対応するため、2 つのスイッチ素子が N 型の MOSFET である、降圧同期整流方式で構成される。POL の概略回路図を図 2-1 に示す。低電圧出力の場合、デューティ（入力電圧に対する出力電圧の比率）が縮小することに伴い、1 スイッチング周期における PWM 信号の幅が狭くなる。この入出力電圧差は、スイッチ素子の構成や部品の選定によっては、POL の電力効率に大きな影響を及ぼすため、注意を要する。

一般の DC-DC 電源では、図 2-1 におけるスイッチ Q1 は P 型の MOSFET、もしくは、PNP トランジスタであり、スイッチ Q2 はダイオードで構成されている。しかし、高速動作と低電圧・大電流出力が求められる POL において、上記の素子構成では、Q1 に発生するスイッチング損失と、ダイオードの順方向電圧による損失が多大になり、効率が著しく低下してしまう。なお、1.0V 前後に及ぶ低電圧出力を実現するには、この順方向電圧も障害になる。さらに、デューティが小さい場合は、Q2 に電流が流れる回生期間が長くなり、損失の増大が懸念される。

上述の理由により、図 2-1 におけるスイッチ Q1 は、低オン抵抗で高速スイッチングが可能な N 型の MOSFET を選定し、スイッチ Q2 は、デューティが小さい場合の導通期間に配慮し、より低オン抵抗特性が顕著な、N 型の MOSFET を選定することが求められる。なお、Q1 はハイサイドスイッチ、Q2 はローサイドスイッチと呼ばれており、ハイサイドは入力電位側に、ローサイドは GND（グラウンド）電位側に接続されることを意味している。

Q1 のソース電極は、Q2 のドレイン電極とチョークに接続され、中間電位と称される電圧レベルにある。このため、Q1 が N 型の MOSFET の場合は、Q2 とは異なるドライブ回路が必要となる。これに関しては、2-2-5 項において説明を行う。また、LC フィルタの設計方法については、2-2-6 項で明らかにする。

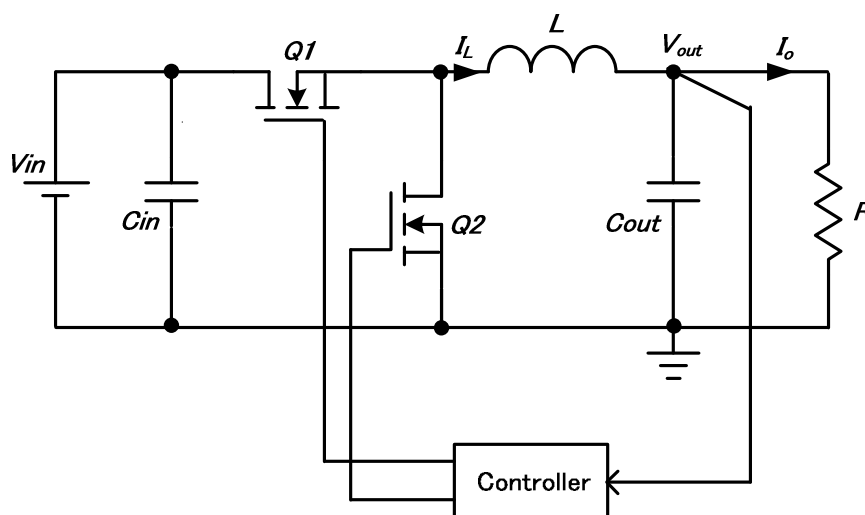


図 2-1 POL の概略回路図

2-2-2 負荷急変時の主回路動作概要

前項の図 2-1 で示した POL において、出力電流が増加する負荷急変（負荷急増）が発生した場合の、主回路における各部波形の動作概要を図 2-2 に示す。まず、負荷電流 I_o の急激な変化に対して、出力コンデンサと基板パターンに存在する ESR、および、ESL^(*)によって第 1 トランジェントが発生し、出力電圧波形 V_{out} においてサージ状の落ち込みが起きる場合がある。続いて、LC フィルタと POL の動的応答特性による第 2 トランジェントが発生し、 V_{out} は、チョーク電流 I_L の平均値が負荷電流 I_o と同値になり、かつ、放出を続けていた出力コンデンサの電流が充電方向へ逆転した時点から、本来出力されるべき目標電圧値に向かって上昇していく。

負荷急変時における出力電圧の落ち込みは、負荷に供給されるべき電流に対して、チョーク電流で足りないエネルギーを、出力コンデンサから補う現象に起因している。コンデンサからのエネルギー放出を抑えるには、主回路と制御回路によって対処する必要がある。主回路では、チョーク電流の傾斜を大きくするために、チョークの値を小さくし（通常、POL のチョークは $1\mu\text{H}$ 以下の値を使用することが知られている⁽¹⁾）、制御回路は、負荷急変に対して速やかに応答して、PWM 信号を増大させる必要がある。負荷急減（出力電流が減少する負荷急変）の場合は、上記とは逆の動作となり、PWM 信号を速やかに狭め、入力側から出力コンデンサへの充電動作を抑えて、出力電圧の上昇を抑制しなければならない。

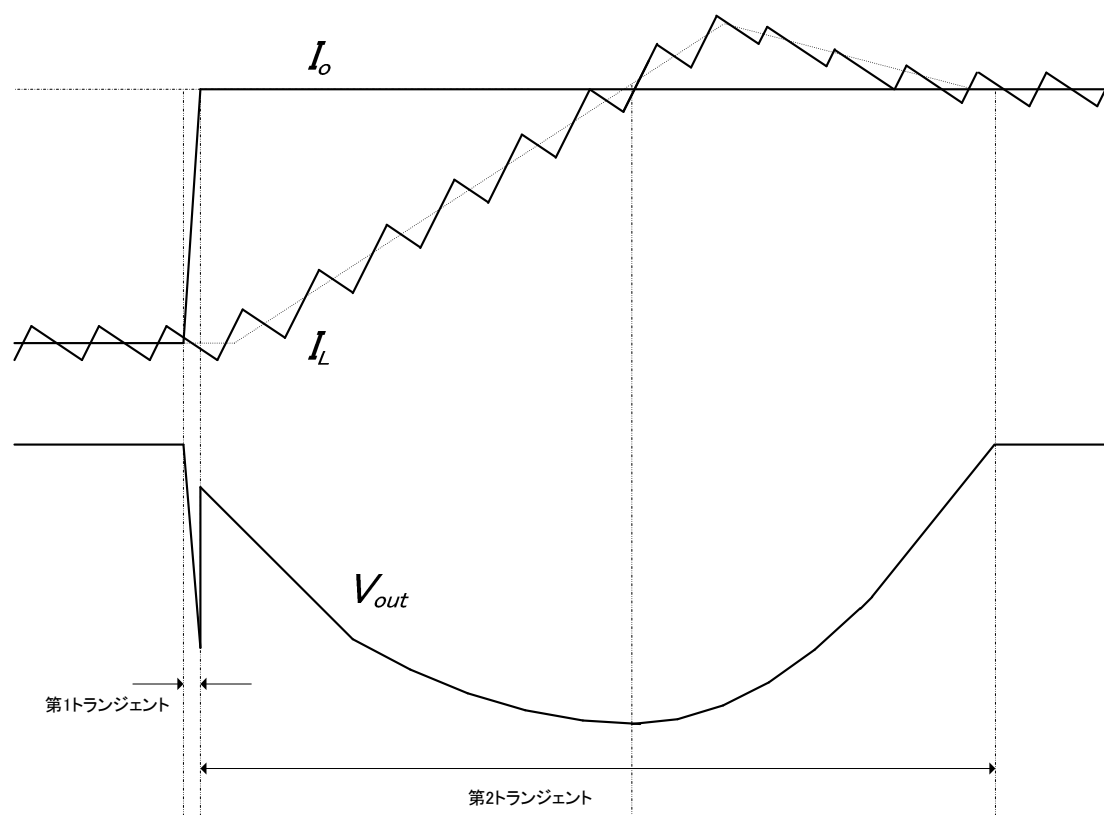


図 2-2 負荷急変時の POL における動作波形

(*)1) ESL: Equivalent Series Inductance

2-2-3 入出力条件の設定

POL の入出力条件を設定するためには、その使用環境を知る必要がある。そのためには、POL が使用されている装置の給電構成について理解しなければならない。現在、一般に使用されている情報通信装置の給電構成を図 2-3(a),(b)に示す。図 2-3(a)は、受電した商用電力を AC-DC 電源により 48V に整流し、さらに絶縁形の DC-DC 電源により 5V から 12V の範囲の中間電圧と呼ばれる電圧範囲まで降圧した後に、各 POL を介して LSI 負荷に給電する、従来からの構成である。一方、図 2-3(b)は、より運用効率を重視した、近年普及している方式であり、絶縁形電源を用いずに商用電力を直接 12V に変換する構成である。このように、現在の装置において POL に入力される電圧値は、一般に 12V であると考ええる。

出力電圧については、POL が電力を供給する各種 LSI 負荷の電源電圧によって異なる。この電源電圧には、ADC やメモリ等を動作させる 3.3V から 2.5V、並びに、演算処理の実行を担う 1.8V や 1.2V 等が存在しているが、最近では 1V 前後の電圧で動作する演算回路も現れている。図 2-4 に、装置内のユニット基板上に実装されている POL と LSI 負荷の概略構成の一例を示す^(E)。図 2-4 に示されているように、POL の出力電圧には LSI 負荷内部の機能構成によって様々な値が要求される。また、ユニット基板上の複数の LSI 負荷に対して、1 対 1、もしくは、多種類の電源電圧を要する大規模な負荷の場合は、1 対複数の POL で対応することも有りうる。

ここで、本論文が対象とする POL の出力電圧は、主として 1V とする。この理由は、

- ① LSI 負荷の電源電圧は低下を続けており、品種によっては 1.2V、もしくは、それ以下の値を窺う情勢となっている。
- ② 入力電圧 12V に対して、出力電圧を 1V と相当に低く設定することにより、DSP が内蔵する DPWM モジュールにおける分解能の制約から考慮すると、より厳しい評価条件となる。
- ③ POL の出力電圧を広範囲に考えることで、製品としての実力向上が見込める。

の以上 3 点である。

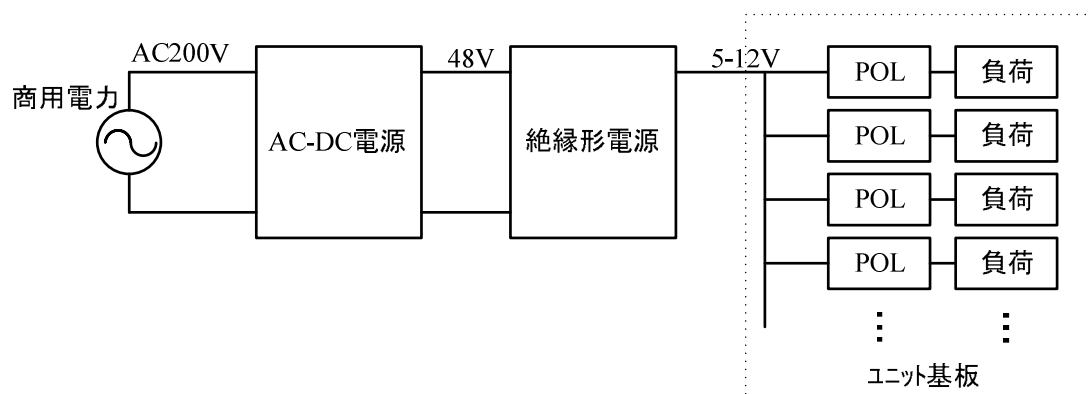
LSI 負荷の電流値についても品種によって異なり、多種の電流定格が存在する。LSI 負荷では、消費電力を抑えるため、電源電圧の低下に伴い動作電流が増大する傾向にある。電源電圧が 1.0V 前後の LSI 負荷では、20A を超える大規模な品種も現れ、これに対応する POL が報告されているが^(F)、大部分の LSI 負荷において必要とする電流は、依然として 10A 以内が主流と考える。このため、POL の最大出力電流値は 10A とする。

以上より、本論文が対象とする POL の入出力条件を、

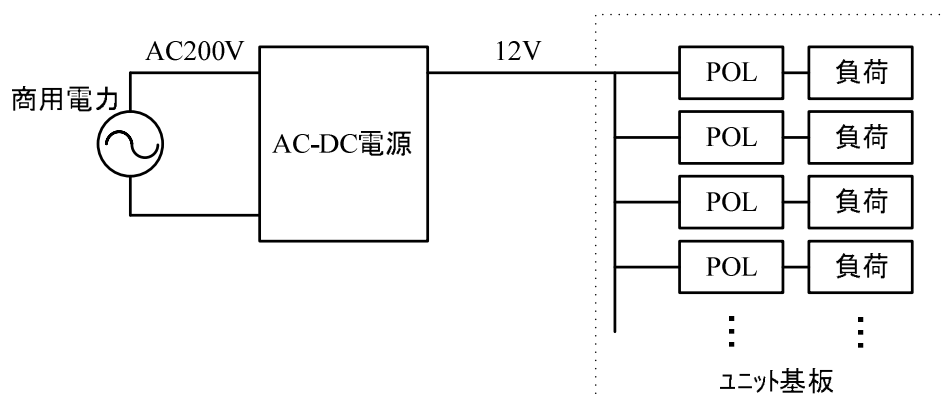
入力電圧 : 12V 出力電圧 : 1V (1V-2.5V) 最大負荷電流 10A

と定める。

本来であれば、出力電圧は 3.3V までを範囲に含めたいところであるが、出力電圧が上がることで出力電圧リプル値も増加するため、出力コンデンサの容量増強を図らなければならない。さらに、消費電力も増加するので、最大負荷電流値を下げる必要が生じる。出力電圧が広範囲になると、このような考慮をしなくてはならず、さらに、LC フィルタの定数や負荷電流の範囲にも影響が及び、実験条件が複雑になってしまう恐れがある。以上のような理由もあり、



(a) 従来の電源構成



(b) 運用効率を重視した電源構成

図 2-3 情報通信装置の給電構成

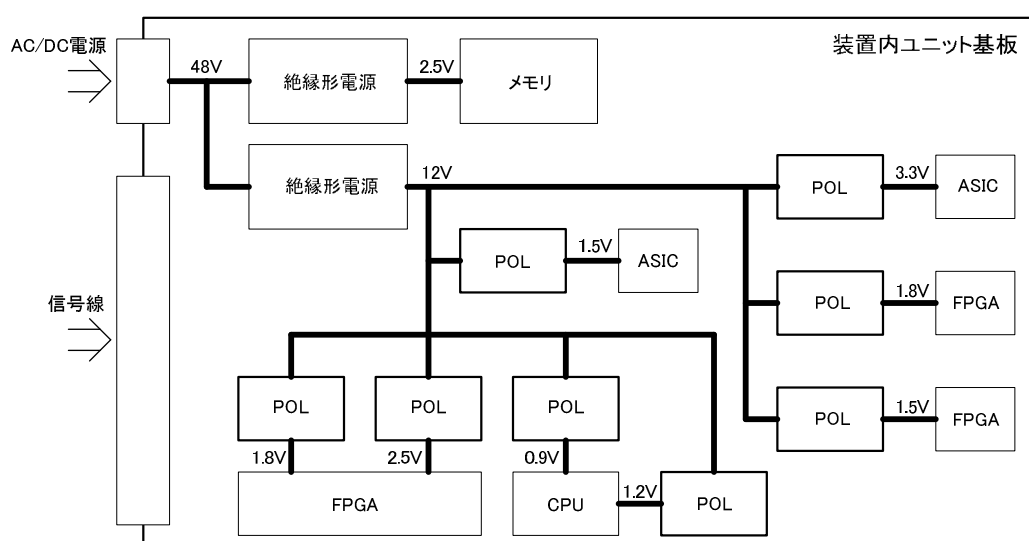


図 2-4 ユニット基板上の POL と LSI 負荷の構成一例

POL の入出力条件は上記の数値としている。

2-2-4 負荷条件と出力電圧変動値の設定

LSI 負荷の電流量・スルーレート・電流変化範囲は、品種・実装形態・機能構成・使用方法により異なること想定され、POL に求められる動的な応答性能は規格化されていない。このためか、POL が実力として有し、本来明記されるべき、負荷のスルーレート・変動範囲、並びに、出力電圧変動値は、データシートの動特性の項目において、参考の範囲内で記載されている。特にスルーレートについては、LSI 負荷の動作環境であるユニット基板上において、それぞれ異なる使用目的が想定されるため、POL の動特性を表現するにあたり、具体的な数値を明記するのが困難と思われる。

LSI 負荷が登場し始めた 2000 年前後には、100A/μs を上回るスルーレートが組上にのぼっていた。これは、一部の大規模な MPU 等を含む LSI 負荷の、第 1 トランジェントにおける数値であると考えられる。現在の電源技術では、100A/μs 以上のスルーレートに制御動作で対応することは困難であり、小容量のセラミックコンデンサを大量に増強して ESR と ESL を極限まで減らし、かつ、容量を獲得する対応が余儀なくされている。なお、POL では、ESR が比較的大きい大容量の電解コンデンサは不適切とされており、通常はセラミックコンデンサが使用される。しかし、単一のセラミックコンデンサを大容量化する技術は現状困難であるため⁽²⁾、複数個を並列実装して ESR と ESL を減じつつ、容量を確保する手法がとられている。

一般に、POL に要求されるスルーレートは、制御動作による対応が可能な、第 2 トランジェントの発生に起因した数値であり、この値は 100A/μs よりもかなり緩やかになっている。最近では、概ね数 A/μs 程度の数値であることが POL のデータシートから窺える^{(G),(H)}。また、負荷電流の変動範囲に関しても明確な規定は無いが、LSI 負荷のデータ処理動作中における負荷変動範囲は、通常、定格の 50%以内と考えられ、データシートには、これを想定していると思われる動特性の条件が記載されている^{(H),(I)}。以上の理由から、本論文において対象とする LSI 負荷のスルーレートと変動範囲を以下の通りに定める。

スルーレート：最大 10A/μs 負荷電流の変動範囲：50% (0-5A もしくは 5A-10A)

なお、スルーレートを変化させた場合の出力電圧変動値の遷移は、POL の応答についての実力を知る上で、重要な特性であり、後の第 5 章において、具体化したデジタル制御 POL の性能評価の中で説明する。また、本論文のデジタル制御 POL では、負荷急変に対する出力電圧変動の目標数値を 100mV に設定する。この数値は、対象となる LSI 負荷で異なり、LC フィルタ値との関係も特に規定されておらず、厳密な規格化はなされていないが、各種 POL のデータシート^{(G),(I),(J)}における動特性から総合的に判断している。LC フィルタの定数、負荷急変範囲、スルーレート、位相補償回路のチューニング等の各種条件が動特性に影響を及ぼすが、制御方式が簡素な電圧制御の場合、100mV という数値は高速応答性を示す 1 つの判定基準と考える。

2-2-5 MOSFET の選定

2-2-1 項において、本論文におけるデジタル制御 POL の主回路構成は、降圧同期整流形であることを示した。また、主スイッチである Q1 と Q2 が有す必要のある性能の概略に関して説明も行った。本項では、これら Q1 と Q2 を具体化する MOSFET の選定を行う。さらに、Q1 と Q2 を駆動するドライブ回路についても決定する。

Q1 と Q2 は、同一の素子でも動作上問題はなく、また本論文では、POL の効率について具体的な議論を行っていないが、主回路で発生する損失を軽減し、電力効率がより向上した製品レベルの主回路を実現するのであれば、Q1 と Q2 に対して個別に検討を加えることが求められる。Q1 にはスイッチング損失を抑えるために高速動作のタイプを、Q2 には回生電流の導通期間を想定し低オン抵抗のタイプをそれぞれ選定した結果、以下の MOSFET が適当であると判断する。

Q1 : HAT2168H^(K), Q2 : HAT2165H^(L)

データシート^{(K), (L)}によれば、Q1 のオンに要する時間は 28ns、オフに要する時間は 44ns と相当に高速であり、POL の応答に対して影響は少ないと考える。また、Q2 のオン抵抗は 2.5mΩ (typical)であり、出力 10A の回生時における、ドレイン-ソース間電圧は 25mV であることから、POL の出力が 1V の場合でも十分に小さく、問題はないと判断する。

次に、Q1 と Q2 を駆動するドライブ回路について検討する。ここで、MOSFET を駆動するドライブ回路には、以下の要件を設定する。

- ①高速な電流増幅動作が可能とし、遅延時間は数 10ns オーダーである。
- ②ハイサイドとローサイド双方の MOSFET を駆動することを可能とする。
- ③可能な限り小形であること。
- ④DSP からの PWM 信号が 3V 前後と低い電圧レベルでも、入力電圧範囲が問題ないこと。

以上①から④を満たすゲートドライバとして、QFN 形状の小形 IC 化がなされ、遅延時間が 15ns と非常に高速な ISL6605CR^(M)を選定する。本 IC は、抵抗とコンデンサを外部に接続して、ハイサイドの MOSFET を駆動するための、レベルシフト回路を内蔵している。このドライブ IC を使用することにより、同期整流用のスイッチ素子 Q1 と Q2 を動作させる準備が整った。

2-2-6 LC フィルタの設計

LC フィルタの定数は、POL の入出力条件・負荷条件・出力電圧リップル値を基本条件に決定される。設計手順としては、まずチョークのインダクタンスを決定し、続いて、出力コンデンサの容量を定める。

チョークのインダクタンスを決定するにあたり、クリティカルインダクタンス⁽³⁾の概念を参考にする。低電圧・大電流負荷用の POL では、VRM と同様に、このクリティカルインダクタンスを求める式を活用することが有益と考える。文献⁽³⁾において、クリティカルインダクタンスの式は、

$$L = \frac{V_{in} - V_{out}}{4 \cdot f_z \cdot I_o} \quad \text{or} \quad L = \frac{V_{out}}{4 \cdot f_z \cdot I_o} \quad \dots\dots\dots(2-1)$$

と与えられており、小さい方の値を選ぶことになっている。

(2-1)式において、 V_{in} は入力電圧、 V_{out} は出力電圧、 I_o は負荷電流、 f_z はゼロクロス周波数を意味する。なお、2-2-3 項において、 $V_{in}=12V$ 、 $V_{out}=1V$ 、 $I_o=10A$ と定めている (V_{out} が 1V でインダクタンスは最小となる)。POL のスイッチング周波数を 500kHz、ゼロクロス周波数をスイッチング周波数の 1/10 である 50kHz と仮定して、これらを(2-1)式に代入すると、

$$L = \frac{V_{out}}{4 \cdot f_z \cdot I_o} = \frac{1}{4 \cdot 50k \cdot 10} = 0.5 (\mu H) \quad \dots\dots\dots(2-2)$$

となる。

0.5 μH に近い調達可能な部品のインダクタンスには 0.47 μH があり、 $L=0.47\mu H$ とすると f_z は 53.2kHz となる。

以下、出力コンデンサの容量を決定する。チョーク電流の振幅 ΔI_L は、

$$\Delta I_L = \frac{(V_{in} - V_{out}) \cdot d}{L \cdot f_{sw}} \quad \dots\dots\dots(2-3)$$

で定義されている^(A)。

(2-3)式における d はデューティ、 f_{sw} はスイッチング周波数を意味し、それぞれ 1/12 と 500kHz となる。よって、 $L=0.47\mu H$ の場合、 $V_{out}=1.0V$ と $V_{out}=2.5V$ 時における ΔI_L はそれぞれ、

$$\Delta I_L = \frac{(12-1) \cdot 1/12}{0.47 \mu \cdot 500k} = 3.9 A \quad (V_{out}=1.0V \text{ 時}) \quad \dots\dots\dots(2-4)$$

$$\Delta I_L = \frac{(12-2.5) \cdot 2.5/12}{0.47 \mu \cdot 500k} = 8.4 A \quad (V_{out}=2.5V \text{ 時}) \quad \dots\dots\dots(2-5)$$

となる。

また、降圧電源の出力電圧リプルは、

$$\Delta V_{out} = \Delta I_L \cdot \frac{1}{8 \cdot f_{sw} \cdot C_{out}} \quad \dots\dots\dots(2-6)$$

で与えられている^[A]。

リプル電圧を出力電圧全範囲にわたって 15mV 以下に抑えたいと考えた場合、出力コンデンサ C_{out} を 47 μF のセラミックコンデンサ 6 個で 282 μF と設定し、(2-4)式と(2-5)式で得た ΔI_L を(2-6)式に代入すると、 $V_{out}=1V$ と $V_{out}=2.5V$ 時の出力電圧リプル ΔV_{out} はそれぞれ、5.42mV と 11.69mV になる。

以上より、POL の LC フィルタの定数は、 $L=0.47\mu H$ 、 $C_{out}=282\mu F$ とする。出力コンデンサは ESR、および、ESL を低減させるため、セラミックコンデンサを選定し、282 μF の容量は、47 μF を 6 個並列に接続して実現する。

2-2-7 入力コンデンサの選定

入力コンデンサの選定について、以下説明する。入力コンデンサは、ハイサイドの MOSFET がオンしている期間に入力リップル電圧を抑える必要があり、低インピーダンス品が求められる。本論文の POL は、入力コンデンサとして、 $10\mu\text{F}$ のセラミックコンデンサを並列に 6 個接続して $C_{in}=60\mu\text{F}$ とし、かつ、ハイサイドの MOSFET 直近に配置する構成にする。

第 2 章におけるここまでの説明で、POL の入出力条件、負荷条件、主回路構成が定まった。これらを以下の表 2-1(a),(b)にまとめて示す。

表 2-1 POL の仕様および使用部品

(a) Rating of POL converter

Items	Specification
Rated input voltage	DC12V
Rated output voltage	DC1V
Rated output current	DC10A
Output ripple voltage	Less than 15mV
Switching frequency	500kHz
Output current slew rate	10A/ μs
Transient current	0-5A or 5-10A

(b) Components of POL converter

Symbol	Component name	Rating
C_{in}	Input capacitor	$60\mu\text{F}$
$Q1$	MOSFET	HAT2168H
$Q2$	MOSFET	HAT2165H
L	Choke coil	$0.47\mu\text{H}$
C_{out}	Output capacitor	$282\mu\text{F}$

2-3 DSP の検討と選定

本節では、ここまでに決定した、主回路構成や入出力条件・負荷条件を念頭に、デジタル制御 POL を実現するための制御動作に関する機能要件を抽出し、これらの要件を満たす処理性能と周辺機能を有する DSP を選定する。

2-3-1 DSP に求められる機能

POL のデジタル制御を具体化する DSP は、大きく区分して、以下の 3 つの機能を満足する必要がある。この 3 つの機能とは、

- ①アナログ信号である POL の出力電圧を検出し、デジタル値に変換する。
- ②デジタル値に変換された検出量を用いて、制御演算を行う。
- ③制御演算で得られた制御量から、主スイッチを駆動する PWM 信号を作成する。

である。

電源をデジタル制御で動作させるには、これら 3 つの機能が不可欠であり、さらに、POL が小形であるため、これらが 1 つの IC としてまとまっていることが必要である。

上記の①と③の機能は、ADC と DPWM によって実現が可能であり、これらを周辺機能として有する DSP を DSC(Digital Signal Controller)と呼称しているメーカーもある。DSP は本来、計算に特化した LSI であり、ハーバード構造に裏打ちされた並列処理動作、乗算器装備を特徴とする。1980 年に NEC から μ PD7720 が、1982 年に TI から TMS32010 が発表されているが、これらの第 1 世代と呼ばれる DSP は純粋なプロセッサであった。写真 2-1 にこれら 2 つの DSP を示す。以後、様々な DSP が世の中にリリースされてきたが、コアであるプロセッサに対して、用途に応じた周辺機能が同一チップに搭載される場合や、外付けに周辺機能を設ける等の対応がなされてきたようである（計測用途では高速 ADC が外部に設けられる場合がある）。DSP に対して ADC や DPWM が付加され、1 つの IC として製品化がされるようになったのは、電源制御やモータ制御の需要が多くなったためと考えられる。なお、DSP についての詳しい報告は、文献^{(4),(5)}においてなされている。

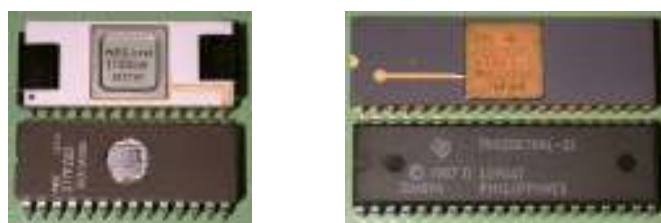


写真 2-1 初期の DSP (左: μ PD7720 右: TMS32010)

(<http://www.st.rim.or.jp/~nkomatsu/ICcollection.html#OtherCPUTarget> から引用)

本論文が対象とする POL は、スイッチング周波数が高く、さらに、スイッチング周期と同期した制御周期において実行される制御量演算が、毎周期で完結することを要するため、DSP は

高い演算処理能力を有さなければならない。これには、MIPS^{(*)2}と呼ばれる処理能力を示す数値を高めることが有効と考えられる。DSP に実装されたプログラムをステップ実行する CLK の周波数が高い程、MIPS は上がることになる。すなわち、選定する DSP が高 CLK 周波数動作が可能であればよい。また、制御動作を実現するプログラムは、C 言語で記述されることになるが、この C 言語を効率のよいアセンブラに変換するには、高性能なコンパイラが必要となる。このことは、ソフトウェアの開発環境に依存するため、DSP の選定と並んで注意を要する。

以上述べた通り、デジタル制御 POL のプログラム動作を実行する DSP を選定するには、高性能な周辺機能である ADC・PWM を有し、さらに、高い演算処理能力、高性能な C コンパイラを開発環境が有さなければならない。次項では、以上の要件を POL の動作条件と睨み合わせながら、その内容を具体的に挙げ、これらを満足する性能の DSP を選定する。

2-3-2 DSP に求められる性能

前項で述べた、DSP が有すべき機能に対して、必要となる具体的な性能を、入出力条件や負荷条件等、POL の主回路動作に関連する内容と併せて記述する。

・ADC の分解能

2-2-3 項において、POL の出力電圧は、最小で 1V に設定されることが決まっている。さらに、出力電圧リプルは 2-2-6 項において、1V 時で 10mV 以下になることが分かっている。したがって、ADC の分解能は、1LSB(Least Significant Bit)あたり 1mV 以下が必要と考える。ADC の供給電圧を 3V と仮定すると、1LSB が 1mV 以下となるためには、12bit 以上の分解能が必要となる。

・ADC の変換速度

2-2-6 項において、POL のスイッチング速度は 500kHz としたが、この場合、スイッチング周期と同期した制御周期は 2 μ s となる。出力電圧を検出する ADC の変換速度は、遅れ時間を減らすために、少なくとも制御周期の半分以下であることが必要と考える。なお、AD 変換に要する時間は、アナログ値からデジタル値への変換時間のみならず、S/H(Sample & Hold)時間やメモリへの書き込み時間も含まれる。なお、ADC における遅れ時間の詳しい解析は第 3 章で行う。

・PWM の分解能

入力電圧 12V に対して出力電圧が 1V の場合、デューティは $1/12 \approx 0.0833$ という値になる。POL は、この低オンデューティを基準に、負荷の変化に対応して安定化動作をなさなければならない。一般にデジタル制御電源では、制御 IC を駆動する CLK をカウント動作することによって、制御周期の管理をしていると考えられるが、本論文の POL において、負荷の微小な変化に反応して PWM 信号の幅を変化させるには、ギガ単位の CLK 周波数が必要になってしまう。しかし、余りにも高い周波数動作は、使用が許されるプロセッサの規模や発熱の問題を考えると現実的ではない。このため、妥当な CLK 周波数に対して、より微細な分解能を実現できる DPWM モジュールを DSP が有することが、選定における必須条件となる。さらに、リミットサイクルオシレーション⁽⁶⁾の問題もあり、PWM の分解能は ADC より細かいことが必要となる。

(*)2 MIPS: Million Instructions Per Second

このため、PWM に要する分解能は 1ns 以下であると考える。

・演算処理性能

POL の制御演算を 2 μ s 以内に完結させるためには、ADC が要する変換時間を差し引くと、演算処理は制御周期の半分である 1 μ s 以内に完了することが必要と考える。制御演算にかかる処理時間は、CLK 周波数に加えて、制御プログラムの組み方、C コンパイラの性能と吐き出されるアセンブラのステップ数によっても変わるが、実際に POL を動作させ、処理にかかる時間を解析するまでは不明な点が多い。したがって、CLK 周波数の具体的な要求数値を明確にはできないが、2 μ s の制御周期に対して CLK 周波数を 50MHz と仮定すると、デューティのカウント数が 8 回しか取れないため、倍の 100MHz に近い数値であれば妥当ではないかと判断する。

・開発環境

プログラムの開発環境として重要なのは、上述したように、記述した C 言語のプログラムを効率よくアセンブラに落とし込むコンパイラの性能である。なお、筆者等が本研究に取り組んでいた時点で、アセンブラによるプログラムの直接記述の方が、より高速な制御プログラムを実現できることは理解していたが、当時は POL への応用に適すると判断できる DSP はまだ少なく、本論文を記述している 2010 年末現在で入手可能な、アセンブラ記述を重要視した dsPIC33 シリーズ^(N)や Alligator^{(O),(P)}は存在していなかった。このため、C 言語による制御プログラムの開発とコンパイラの性能に重点を置いていたことを付け加えておく。

以上、本項における 5 つの判断材料を元に、DSP の選定を行った結果、TI 社の F2808 (TMS320F2808)が重要な候補として挙げた。表 2-2 に F2808 のハードウェア概略性能を示す。

表 2-2 DSP のハードウェア性能

Items	Specification
Processor	TMS320F2808
Processor clock frequency	100MHz
ADC resolution	12bit(3V)
Conversion rate of ADC	160ns
PWM resolution	150ps

表 2-2 における数値は、F2808 のデータシート^(Q)から抜粋したものである。F2808 は 100MHz の CLK で動作する演算部をコアとし、高分解能・高速変換の ADC、並びに、高分解能の DPWM を周辺機能として有しており、これらの性能は、上述の DSP を選定するにあたって挙げた要件を全て満足している。また、TI 社の開発環境は筆者等にとって、使用に耐えると判断できるものであった。なお、F2808 は 100 ピンの IC であるが、BGA (Ball Grid Array)のパッケージまでも用意しており、1/4 ブリック、もしくは、それを下回るサイズのデジタル制御 POL が実現可

能と期待したことも、重要な判断材料となった。なお、ADC の変換速度はデータシート上、160ns とされているが、実動作における変換時間を表す数値についての説明は、第 3 章に譲る。

以上より、本論文で使用する DSP として、F2808 を選定する。

2-4 出力電圧変動の定式化と評価

本節では、表 2-1(a)で示した POL の主回路定数、入出力条件、負荷条件等をもとに、負荷急変時における出力電圧変動値を算出する式を定式化する。さらに、制御動作に伴う遅れ時間やスルーレートにも配慮し、2-2-6 項において設計した LC フィルタの定数に対する妥当性、および、出力電圧変動値を推定し、以後の実機試験において得られるデータに対しての根拠を得ることを目的に実施する。

2-4-1 定式化

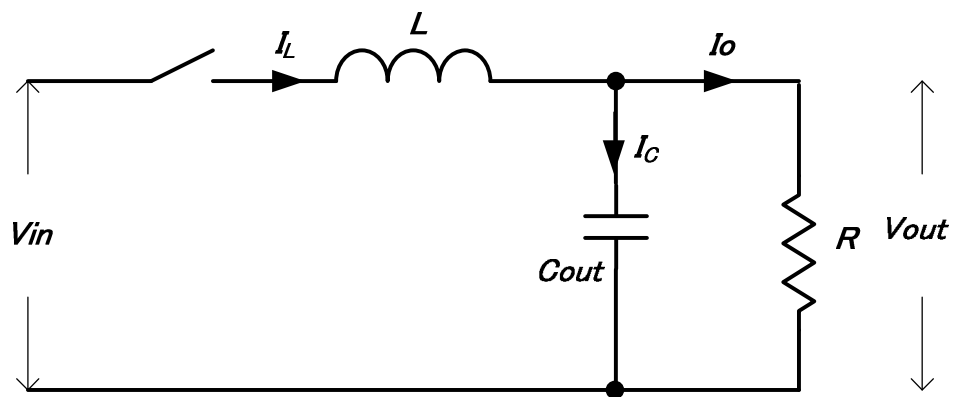
急激な負荷急変を発生する LSI 負荷に対し、高速応答電源である VRM や POL の動作解析は以前から行われ、報告がなされている。文献⁽⁷⁾では、負荷急増時の出力電圧変動値 ΔV を表す式が示されており、この式は、

$$\Delta V = \frac{\Delta I^2}{2(V_{in} - V_{out})} \cdot \frac{L}{C_{out}} \quad \dots\dots\dots(2-7)$$

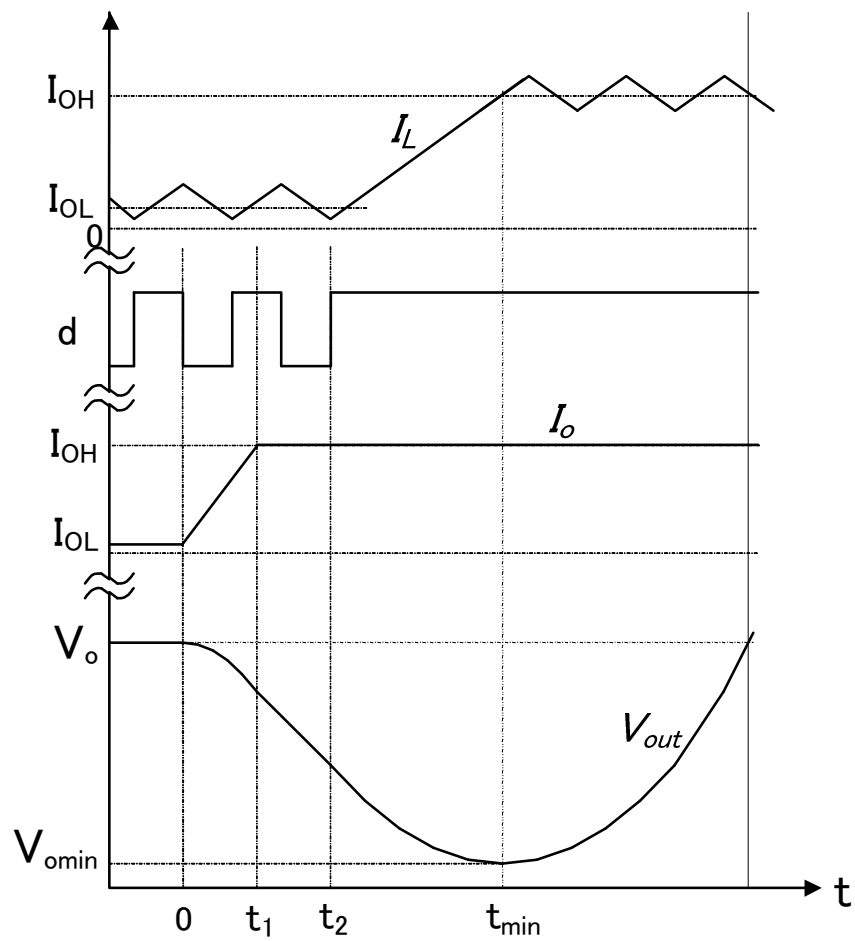
で与えられている。

(2-7)式において、 ΔI は負荷電流の変動幅を意味し、他の定数は前述までと同様である。しかし、(2-7)式は、負荷のスルーレート、遅れ時間が考慮されておらず、より実機に近いと思われる変動値を求めるのであれば、これらの要素を考慮した式を得る必要がある。なお、これらの式は、文献^{(R),(S)}において過去に報告されているが、本論文では、より詳細な導出手順を理解するため、以下において式の確認を行う。

主スイッチ、および、LC フィルタと負荷によって構成される POL の等価回路を図 2-5(a)に、この回路における各部の概略波形を図 2-5(b)に示す。以下、負荷急増時の出力電圧変動を表す式を、急変発生後の経過時間に対して区分し、それぞれ区分された期間において導出の手順を示す。



(a) 等価回路



(b) 各部波形

図 2-5 POL の等価回路と各部波形

・ $0 < t < t_1$ の期間における出力電圧 V_{out}

負荷電流 I_o の時間に対する式、および、チョーク電流と負荷電流の関係は、

$$I_o = \frac{I_{OH} - I_{OL}}{t_1} \cdot t + I_{OL} \quad \dots\dots\dots(2-8)$$

$$I_L = I_{OL} \quad \dots\dots\dots(2-9)$$

で表される。

また、コンデンサ電流は、

$$i_c(t) = I_L - I_o = -\frac{I_{OH} - I_{OL}}{t_1} \cdot t \quad \dots\dots\dots(2-10)$$

で表される。

よって、出力電圧の時間変化に対する式は、

$$V_{out}(t) = V_o + \frac{1}{C_{out}} \int_0^t i_c(t) dt \quad \dots\dots\dots(2-11)$$

$$= V_o - \frac{1}{C_{out}} \int_0^t \frac{I_{OH} - I_{OL}}{t_1} \cdot t dt$$

$$= V_o - \frac{I_{OH} - I_{OL}}{t_1} \cdot \frac{t^2}{2C_{out}} \quad \dots\dots\dots(2-12)$$

となる。

(2-12)式の t に t_1 を代入すると、 t_1 時点での出力電圧 V_{out} が求まる。

$$V_{out} = V_o - \frac{I_{OH} - I_{OL}}{2C_{out}} \cdot t_1 \quad \dots\dots\dots(2-13)$$

・ $t_1 < t < t_2$ の期間における出力電圧 V_{out}

この期間における V_{out} は、(2-13)式を初期値とし、(2-11)式右辺第2項を加えた式となり、

$$V_{out}(t) = V_o - \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \frac{t_1}{2} + \frac{1}{C_{out}} \int_{t_1}^t i_c(t) dt \quad \dots\dots\dots(2-14)$$

と表される。ただし、(2-14)式における $i_c(t)$ は、

$$i_c(t) = i_{OL} - i_{OH} \quad \dots\dots\dots(2-15)$$

である。

よって、この期間における、出力電圧の時間変化に対する式は、

$$\begin{aligned} V_{out}(t) &= V_o - \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \frac{t_1}{2} + \frac{I_{OH} - I_{OL}}{C_{out}} (t_1 - t) \\ &= V_o + \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \left(\frac{t_1}{2} - t \right) \end{aligned} \quad \dots\dots\dots(2-16)$$

となる。

(2-16)式の t に t_2 を代入すると、 t_2 時点での出力電圧 V_{out} が求まる。

$$V_{out} = V_o + \frac{I_{OH} - I_{OL}}{2C_{out}} \cdot \left(\frac{t_1}{2} - t_2 \right) \quad \dots\dots\dots(2-17)$$

・ $t_2 < t$ の期間における出力電圧 V_{out}

この期間における V_{out} は、(2-17)式を初期値とし、(2-11)式右辺第2項を加えた式となり、

$$V_{out}(t) = V_o + \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \left(\frac{t_1}{2} - t_2 \right) + \frac{1}{C_{out}} \int_{t_2}^{+t} i_c(t) dt \quad \dots\dots\dots(2-18)$$

と表される。ただし、(2-18)式における $i_c(t)$ の条件は、

$$i_L = i_c + i_o \quad \dots\dots\dots(2-19)$$

であり、(2-19)式における i_L と i_o は、

$$i_L = \frac{V_{in} - V_o}{L} (t - t_2) + I_{OL} \quad \dots\dots\dots(2-20)$$

$$i_o = I_{OH} \quad \dots\dots\dots(2-21)$$

となる。

このため、 $i_c(t)$ は、

$$i_c(t) = i_L - i_o = -\frac{V_{in} - V_o}{L} \cdot (t - t_2) + (I_{OL} - I_{OH}) \quad \dots\dots\dots(2-22)$$

と表され、この期間における、出力電圧の時間変化に対する式は、

$$V_o(t) = V_o + \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \left(\frac{t_1}{2} - t_2 \right) + \frac{1}{C_{out}} \int_{t_2}^{+t} \frac{V_{in} - V_o}{L} \cdot (t - t_2) dt$$

$$\begin{aligned}
&= V_o + \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \left(\frac{t_1}{2} - t_2 \right) + \frac{1}{C_{out}} \int_{t_2}^{+t} \frac{V_{in} - V_o}{L} \cdot (t - t_2) dt + \frac{1}{C_{out}} \int_{t_2}^{+t} (I_{OL} - I_{OH}) dt \\
&= V_o + \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \left(\frac{t_1}{2} - t \right) + \frac{V_{in} - V_o}{2C_{out}L} \cdot (t - t_2)^2 \quad \dots\dots\dots(2-23)
\end{aligned}$$

となる。

(2-23)式が最小になるのは、この式を微分した式が0になる時で、その時の t_{min} は、

$$t_{min} = t_2 + L \frac{I_{OH} - I_{OL}}{V_{in} - V_o} \quad \dots\dots\dots(2-24)$$

である。

(2-24)式を(2-23)式に代入すると、

$$V_o = V_o + \frac{I_{OH} - I_{OL}}{C_{out}} \cdot \left(\frac{t_1}{2} - t \right) - \frac{L}{2C_{out}} \cdot \frac{(I_{OH} - I_{OL})^2}{V_{in} - V_o} \quad \dots\dots\dots(2-25)$$

となる。

よって出力電圧変動値 ΔV は、

$$\begin{aligned}
\Delta V &= V_o - V_{out} \\
&= \frac{L}{2C_{out}} \cdot \frac{(I_{OH} - I_{OL})^2}{V_{in} - V_o} + \frac{I_{OH} - I_{OL}}{C_{out}} \left(t_2 - \frac{t_1}{2} \right) \quad \dots\dots\dots(2-26)
\end{aligned}$$

となる。

(2-26)式は、デューティに増減制限がなく、負荷急変後にデューティが一気にフルオンまで増加することを前提としている。しかし、実機の POL は、固定スイッチング周波数で動作する通常の電圧制御を想定しており、デューティには増減制限が存在する。このことを考慮すると、

(2-26)式は、次の(2-27)式

$$\begin{aligned}
\Delta V &= \frac{L}{2C_{out}} \cdot \frac{(I_{OH} - I_{OL})^2}{V_{in} \cdot d - V_o} + \frac{I_{OH} - I_{OL}}{C_{out}} \left(t_2 - \frac{t_1}{2} \right) \\
&\quad \dots\dots\dots(2-27)
\end{aligned}$$

に展開される。

なお、(2-27)式において d はデューティを意味する。

2-4-2 実機を想定した出力電圧変動の評価

前項で定式化された、出力電圧変動値を求める(2-27)式に対して、定数を設定し計算を行う。入力電圧は12V、出力電圧は1Vとし、負荷電流の変動範囲は0から5Aとする。また、 L は $0.47\mu\text{H}$ 、 C_{out} は $282\mu\text{F}$ とする。さらに、 $10\text{A}/\mu\text{s}$ のスルーレートで電流の変動範囲が0から5Aとすると、 t_1 は $0.5\mu\text{s}$ となる。負荷急変発生後の過渡応答期間中において、デューティの増加が $d=0.1$ までと仮定すると（定常時は、 $1/12 \approx 0.0833$ ）、(2-27)式右辺第1項は 104mV となり、制御遅れ t_2 を $2.5\mu\text{s}$ と仮定すると（1 制御周期遅れ+ADCの遅れ等）、右辺第2項は 39mV となる。よって、実機で想定される負荷急変時の出力電圧変動値は、 $104\text{mV}+40\text{mV}=144\text{mV}$ となる。

以上より、負荷急変に対するPOLの出力電圧変動値を 100mV 以内に抑えるなら、応答帯域の拡大によりデューティの変化率を増やして右辺第1項を減らし、さらに遅れ時間を短縮して右辺第2項を減じる必要があることが、上記の計算から理解できる。

2-5 実験環境の確立

本節では、後の章における、POLの実機試験を行うための環境を定める。

まず、POLの入力と出力に、それぞれ接続される電源と負荷を決定する。入力の直流電源を選定するにあたり、注意する必要があるのは、内部インピーダンスである。高電圧を出力するタイプの電源は、内部インピーダンスが大きく、負荷急変時に十分な電流供給が困難なため、出力電圧定格が比較的小さく、電流が大きく取れる機種であることが求められる。この要件に対応する電源として、 $20\text{V}/36\text{A}$ を出力することが可能な直流電源（PDS20-36：KENWOOD）を採用する。入力電源からPOLまでは、太い5□の電線で配線し、中間に端子台を設けて大容量の電解コンデンサを配置してインピーダンスを軽減させる。LSI負荷を代用する負荷装置には、 $10\text{A}/\mu\text{s}$ のスルーレート、並びに、 10A の負荷電流を設定可能な、高速電子負荷装置（ELL-355：計測技研）を使用する。

さらに、POLと負荷装置までの配線は、極力短く太い線を使用しなければならない。配線パターンは $1\text{mm}=1\text{nH}$ であることが知られており、配線インピーダンスを増やさないよう注意を要する。このため、プラス側の配線は太いメッキ線で測定用の電流プローブが接続できるよう配慮し、マイナス側の配線には太い銅板を使用する。配線長は調整した結果 4cm となったが、配線インダクタンスは全部で 80nH と少なく、問題はないと判断する。

測定器には、波形測定のためにオシロスコープを、電圧値測定のためにデジタルマルチメータを使用する。出力電圧波形の検出には、ノイズの重畳を避けるためにプローブ針を直接接続可能な治具を使用し、この治具をPOLの出力コンデンサ両端に接続する。また、POLの基板を、デバッグ用のJTAG配線(Joint European Test Action Group)を介してPCと接続する。これらの実験環境を図2-6に、また、実験風景を写真2-2に示す。

以上のように、デジタル制御POLの実験環境を定め、以後の章で行われる実機試験の基礎が確立された。

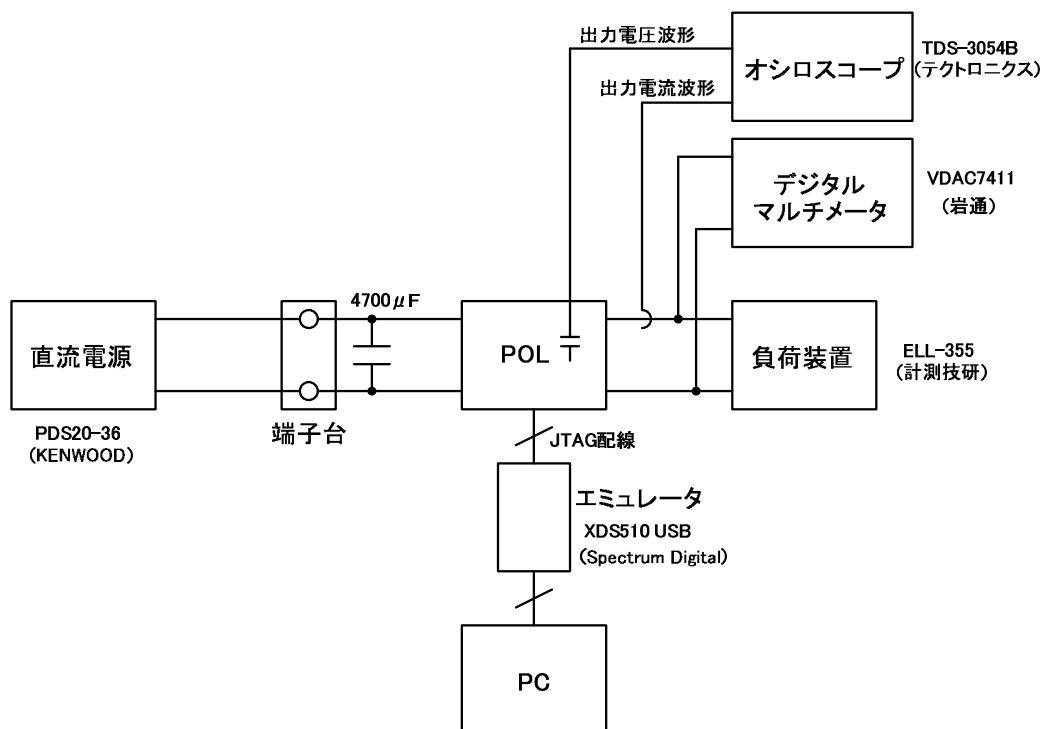


図 2-6 DSP デジタル制御 POL の実験環境



写真 2-2 実験環境の風景

2-6 むすび

本章では、DSP を応用したデジタル制御 POL の研究・開発を実施するにあたり、まず、ハードウェアの確立を行った。POL を主回路と制御回路に大別し、それぞれに対して検討を加え、設計と部品の選定を行った。低電圧・大電流出力動作をなす主回路においては、主スイッチ構成を同期整流形とし、さらに、入出力条件・負荷条件、並びに、負荷急変時における出力電圧変動の目標値を設定することにより、LC フィルタの定数を決定した。一方、制御回路では、DSP を選定するための要件として、周辺機能である ADC・DPWM の分解能・変換速度に要求される数値を定め、演算処理能力に対する検討を行った。また、開発環境や外形についても判断に加え、これらの要件に対して過不足ない性能を持つ DSP として、TI 社の F2808 を選定した。

入出力条件、負荷条件、並びに、ハードウェアを決定することで、実機試験に入る準備は整った。さらに、スルーレートと制御遅れ時間に対して、POL の出力電圧変動がどの程度となるかを計算により推測するため、これらの条件や LC フィルタの定数をもとに、負荷急変時の出力電圧変動値の定式化を実施した。この式により、応答帯域に関わるデューティの増減や、対策すべき遅れ時間についての傾向を知ることができる。

最後に、実機試験の環境を整えるべく、POL に接続される入力電源や負荷装置を選定し、波形や数値を観測する測定器を準備した。入力電源から、POL、負荷装置に至る配線は、インピーダンスを配慮し、特に POL と負荷装置間は抵抗分とインダクタンス分を極力抑えるようにした。また、POL に搭載された DSP にプログラム実装をする際は、PC 上の開発環境で作成した制御プログラムを、デバッガを介して DSP 内部の FROM (フラッシュメモリ) に都度書き込める措置を講じた。

次の第 3 章では、実機動作への準備として、DSP の周辺機能である ADC の調査を行う。さらに、POL が十分な低電圧出力を実現するための、固定小数点処理と DPWM に関する取り扱いについて述べ、制御演算における数値処理を検討する。

引用文献

- (1) 鍋島, 佐藤, 吉田, 恩田: 「CR 積分回路を用いたヒステリシス PWM 制御による降圧形コンバータの制御特性」, 信学論 B Vol.J89-B No.5 pp.664-672 (2006)
- (2) 古川, 山下, 原田, 高橋, 稲垣, 半田: 「高誘電材料を用いた積層セラミックコンデンサ」, 信学技報 Vol.85 No.206 pp1-6 (1985)
- (3) Leong, Lee, Xu, Yao: 「Critical Inductance in Voltage Regulator Modules」, IEEE Transactions on Power Electronics. Vol. 17 No.4, pp.485-492 (2002)
- (4) 曾禰, 飯島, 曾禰: 「DSP への軌跡 I」, 高速信号処理応用技術学会誌 第 12 巻 第 2 号, pp.2-16 (2009)
- (5) 曾禰, 曾禰: 「DSP への軌跡 II」, 高速信号処理応用技術学会誌第 13 巻 第 1 号, pp.2-13 (2010)
- (6) Peterchev, Sanders: 「Quantization Resolution and Limit Cycling in Digitally Controlled PWM Converters」,

IEEE Transactions on Power Electronics. Vol. 18 No.1, pp.301-308 (2003)

(7) Redl, Erismann, Zansky:「Optimizing the Load Transient Response of the Buck Converter」, in Proc. IEEE APEC Conf, pp.170-176 (1998)

参考資料

(A) 原田, 二宮, 顧:「スイッチングコンバータの基礎」 コロナ社 (1992)

(B) 電気学会・半導体電力変換システム調査専門委員会編:「直流変換回路」, パワーエレクトロニクス回路, オーム社, pp.245-253 (2000)

(C) 田本:「dsPIC によるデジタル制御電源の試み」, トランジスタ技術増刊 電源回路設計 2009, CQ 出版社, pp.43-60 (2009)

(D) 佐藤:「同期整流回路を用いた 92%降圧チョッパ」, トランジスタ技術 SPECIAL, CQ 出版社 No.57, pp.92-97 (1997)

(E) 平林:「情報・通信用標準 DC-DC モジュールのご紹介」, 新電元パスワード Vol.08-09 (2008)

(F) 村田製作所:「MPDRX303S,304S datasheet」 (2009)

(G) Texas Instruments Inc:「8-A, 5-V input nonisolated wide-output adjust sip module PTV05010W datasheet (SLTS242A)」 (2005)

(H) Linear Technology:「10A High Efficiency DC/DC μ Module LTM4600 datasheet (LT0807 REV C)」 (2005)

(I) 新電元工業:「非絶縁型小型大容量 DC-DC コンバータ HNBL200 電源モジュール取扱説明書 (5RE-090010-1)」 (2009)

(J) ARTESYN:「PTH03060 datasheet Rev:28」 (2006)

(K) ルネサス:「N Channel Power MOSFET HAT2168H datasheet (REJ03G0046-0700 Rev.7.00)」 (2005)

(L) ルネサス:「N Channel Power MOSFET HAT2165H datasheet (REJ03G0004-0600 Rev.6.00)」 (2005)

(M) Intersil Inc:「ISL6605 Data Sheet (FN9091.6)」 (2006)

(N) Microchip:「dsPIC33FJ16GSx02/04 datasheet (DS70318D)」 (2009)

(O) 新日本無線:「Alligator ユーザー仕様書 (2010.01.25 版)」 (2010)

(P) 新日本無線:「デジタル電源制御用 DSC 技術資料 (Ver.2010-07-27)」 (2010)

(Q) Texas Instruments Inc:「TMS320F2808 Digital Signal Processor Data Manual (SPRS230G)」 (2006)

(R) 大島:「負荷急変電流波形が傾斜を持っている時の 1 次元モデル解析」 新電元 (2001)

(S) 大島:「制御回路に遅れがある時の 1 次元モデル解析」 新電元 (2001)

第3章 ADC の設定・DPWM に対する数値処理

3-1 まえがき

POL をデジタル制御動作させるには、回路内のアナログ信号を検出し、デジタル値に変換する ADC、および、制御量を PWM 信号に変換する DPWM が必要不可欠である。近年の制御用 DSP は、F2808 を始めとして、これらを周辺機能として備える利便性に富む構成となっている^(A)。前章のハードウェア検討において、デジタル制御用 DSP の選定を行い、F2808 の使用を決定したが、低電圧出力と高速応答を要する POL への応用に際しては、内蔵された ADC の検出精度や変換速度を詳細に検討する必要がある。また、ADC と同様に内蔵されている高分解能の DPWM には、演算結果と連携が取られていることが求められる。

F2808 は、パイプライン型の 12 ビット ADC を内蔵し、S/H 回路の組み合わせや変換方法の設定により、アナログ信号を様々なデジタル値として取得することが可能である^{(B),(C)}。加えて、ノイズによる誤動作を避けるため、ADC で検出した値は、制御演算で使用される前にプログラムによるフィルタ処理を行う。高速かつ安定なデジタル制御を F2808 が実行するには、ADC とフィルタ処理が少ない誤差で動作する必要がある。しかし、ADC の入力電圧値や動作速度に対するデータ誤差の程度を示した資料は、メーカ提供のデータシートには記載されていない。このため、実機試験の前に、サンプリングに直接影響を及ぼす ADC の動作速度、および、取得したデジタル値をフィルタ処理する移動平均についての検証が必要と考える。

一方、高分解能の DPWM^{(D)-(F)}については、安定した PWM 信号が生成されるために、150ps という最小分解能が制御周期を定める CLK 周波数によるカウント数に対して一致性をもつように、繰り上がりの重みを整合させなければならない。これは、DSP で演算された制御量が固定小数点で表現されていることに留意し、小数点以下の数値が繰り上がる際には、整数部分に対して連続した重みを持たせることを意味する。このため、演算結果である制御量が入力される DPWM において、意図した PWM 信号が生成されるように、制御プログラムの中で適切な数値処理がなされることが求められる。これまで、デジタル制御電源における固定小数点処理の設計法について報告がされているが^(I)、POL に DSP を応用する場合は、低オンデューティ動作に適した周辺機能である DPWM と数値処理について詳細に検討する必要がある。

以上より、第3章では、POL 特有の低電圧出力と高速応答動作を実現するため、DSP に内蔵された ADC、および、DPWM についての調査と検討を行う。ADC については、入力される電圧値に対する取得データを変換速度に関連させて、実験データに対する誤差評価を行う。加えて、取得したデータに対する移動平均処理に関する検討を行う。DPWM については、制御量の演算結果が格納されるメモリのデータフォーマットを検討し、高スイッチング周波数かつ低オンデューティである POL の動作条件に対して、精度のよい PWM 信号を得るための数値処理を提案する。本章で検討した、POL に最適と考えられる ADC の設定、移動平均処理、制御量に対する数値処理は、以後プログラム化され、DSP に実装されることになる。

3-2 ADC の評価と動作設定

ADC は、データの変換方式により、逐次比較型、パイプライン型、 $\Delta \Sigma$ 型、フラッシュ型に大別することが可能であり、高速な AD 変換にはパイプライン型が適しているといわれている^[A]。F2808 が内蔵する ADC は、このパイプライン型であり、データシートには、セラロックから DSP のコアに供給されている 100MHz の信号周波数を分周した CLK 信号を基準に、最速 160ns の速度で変換動作が行われると記載されている。しかしながら、実際の ADC における変換動作は、S/H に始まり、さらに、AD 変換、メモリ書き込みという順で、複数のシーケンスが組み合わされて行われる。理論上、ADC-CLK (ADC の動作 CLK) 周波数が高いほど、アナログ信号に対する遅れ時間は小さいと考えられる。F2808 を POL の制御 IC として適用した場合、負荷急変に対する出力電圧変動を抑え、安定した制御動作を得るためには、実使用条件に対して、検出手段である ADC による取得データの誤差を明らかにし、遅れ時間と誤差を小さくする検討が必要と考える。このため、実際に F2808 を使用し、ADC-CLK 周波数や入力電圧値を ADC の変換結果に含まれる誤差に関連付けて、評価を行う。

3-2-1 ADC の実験環境と実験方法

ADC による取得データ誤差の実験環境を図 3-1 に示す。DSP に内蔵されている ADC に対して直流電圧を入力し、ADC で変換したデータをあらかじめ設定したメモリの番地には書き込み、2 μ S 毎に連続して 1000 ポイントのデータを PC 上のプログラム開発環境を用いて取得する。なお、2 μ S は POL のスイッチング周期であり、実機動作に則した測定を意図している。続いて、各種の条件について得られた ADC による変換データに対して、誤差の度合いを判定するために標本分散解析、および、誤差分散解析を行う。

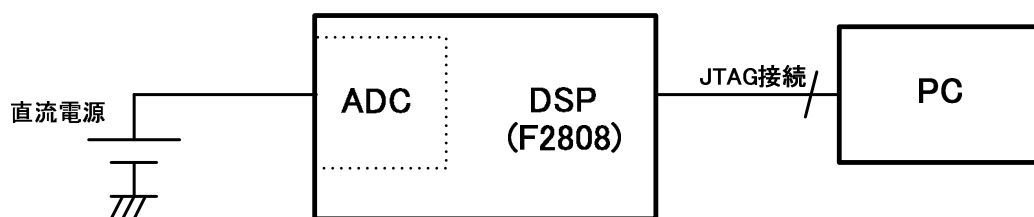


図 3-1 ADC 取得データ誤差の測定環境

3-2-2 取得データ誤差の標本分散評価

F2808 を 100MHz の CLK 周波数で動作させた場合、ADC は最速で、12.5MHz の速度で作動させることが可能である。この ADC-CLK の動作周波数は、F2808 におけるコントロールレジスタにより変更可能であり、10MHz, 8.33MHz, 7.14MHz, 6.25MHz というように分周率を変えて設定することができる。なお、この設定が許可されるのは、プログラム動作が開始する初期状態に限ってのことであり、動作以後に ADC-CLK 周波数を変更することは好ましくない。

以下、ADC-CLK の周波数設定に対して、それぞれ ADC の入力に直流電圧を印加し、この値を変化させて ADC の変換誤差がどのようになるかを調べる。ADC に入力される電圧値に対して、変換されたデジタル値に含まれる誤差の標本分散をとった特性を図 3-2 に示す。なお、ADC-CLK 周波数を規定値よりもオーバーさせた 16.6MHz についても、参考のため測定を行っているが、数値が他とかけ離れた結果となったため、グラフからは除外している。

図 3-2 を見ると、ADC-CLK 周波数が 6.25MHz の場合、他の特性と比較すると特に誤差が大きく、動作を緩やかにすれば、必ずしも精度が上がるわけではないことが分かる。また、全体的にこの特性から、入力電圧の増加に対して、誤差が増えることが分かる。なお、ADC の CLK が最速の 12.5MHz 時には、他の周波数と比較すると、誤差の増え方が一様でないこともグラフから理解できる。

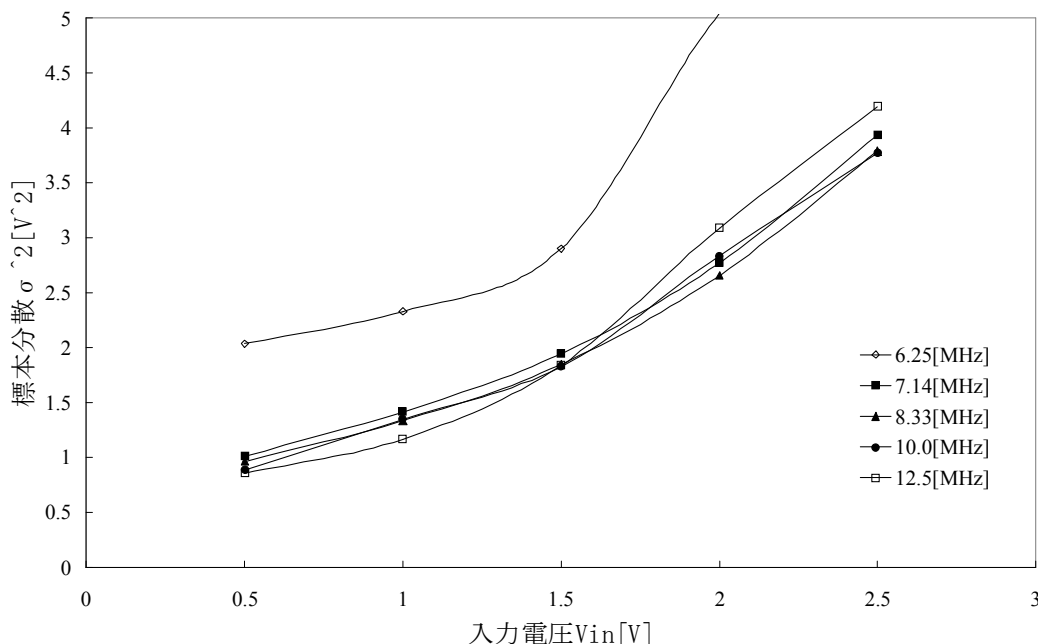
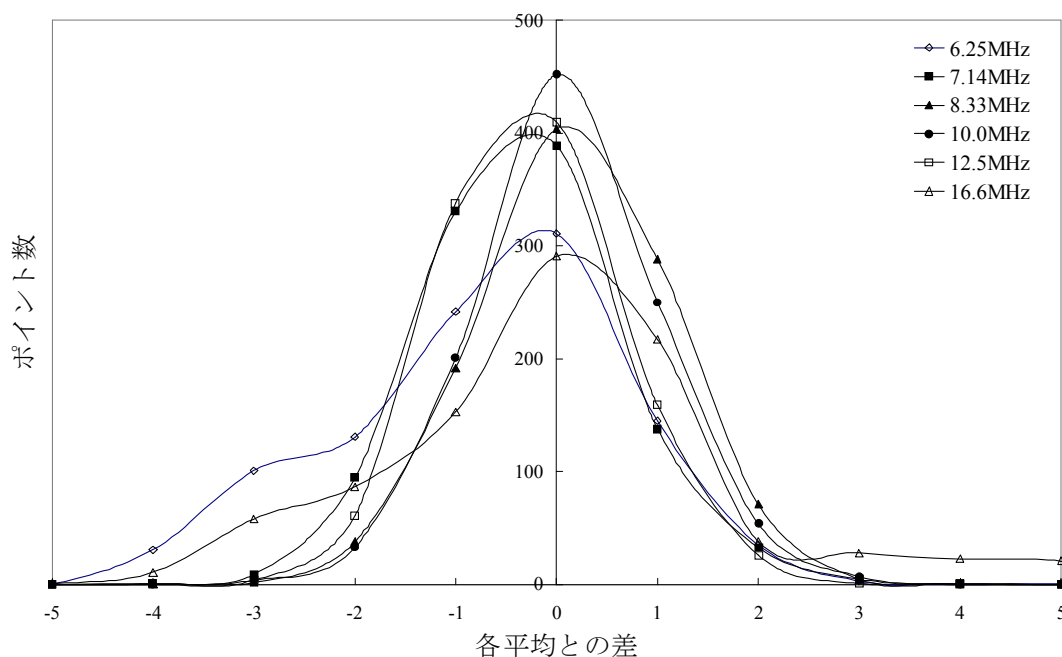


図 3-2 ADC のデータ標本分散

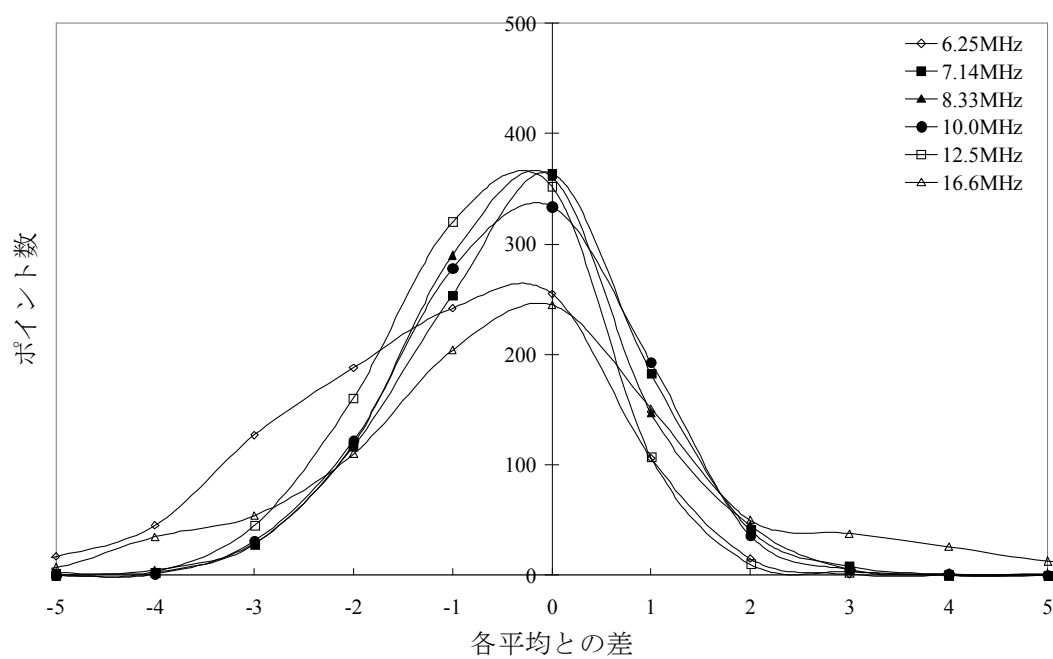
3-2-3 取得データ誤差の分布評価

前項で示した図 3-2 から判断すると、ADC-CLK の周波数は 12.5MHz がよいということになるが、より正確な誤差の分布具合を知るため、ADC への入力電圧値毎に、誤差の正規分布を描画することにする。描画は入力電圧を 0.5V から 2.5V まで、0.5V 刻みのデータに対して行う。なお、入力電圧が 0V、および、ADC の定格電圧である 3V は判定の範囲外であることに加え、ADC への入力電圧値が上限と下限に近い領域では非線形性が強く、誤差が大きいことが考えられるため、測定の対象から除外している。

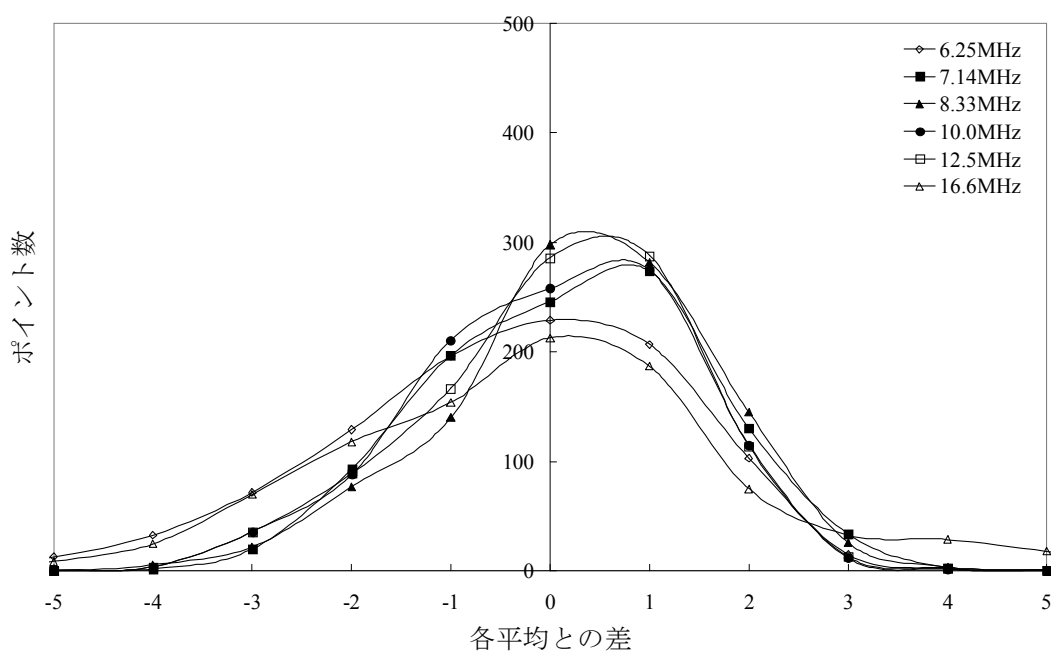
図 3-3(a)に ADC の入力電圧が 0.5V、図 3-3(b)に入力電圧が 1.0V、図 3-3(c)に入力電圧が 1.5V、図 3-3(d)に入力電圧が 2.0V、図 3-3(e)に入力電圧が 2.5V における誤差分布をそれぞれ示す。図 3-3(a),(b),(c),(d),(e)とも、前述の図 3-2 の標本分散と同様に、各 ADC-CLK 周波数に対する測定ポイント数は 1000 であり、さらに、それぞれのデータは、取得した測定値の平均値に対する差を分布状にして示している。



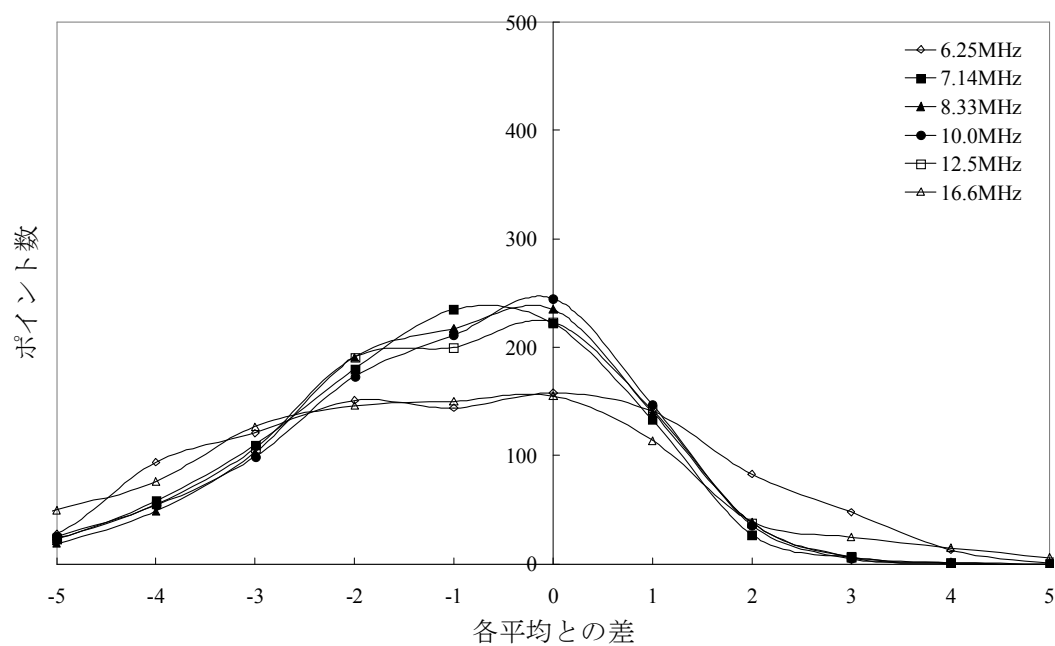
(a) ADC への入力電圧 0.5V



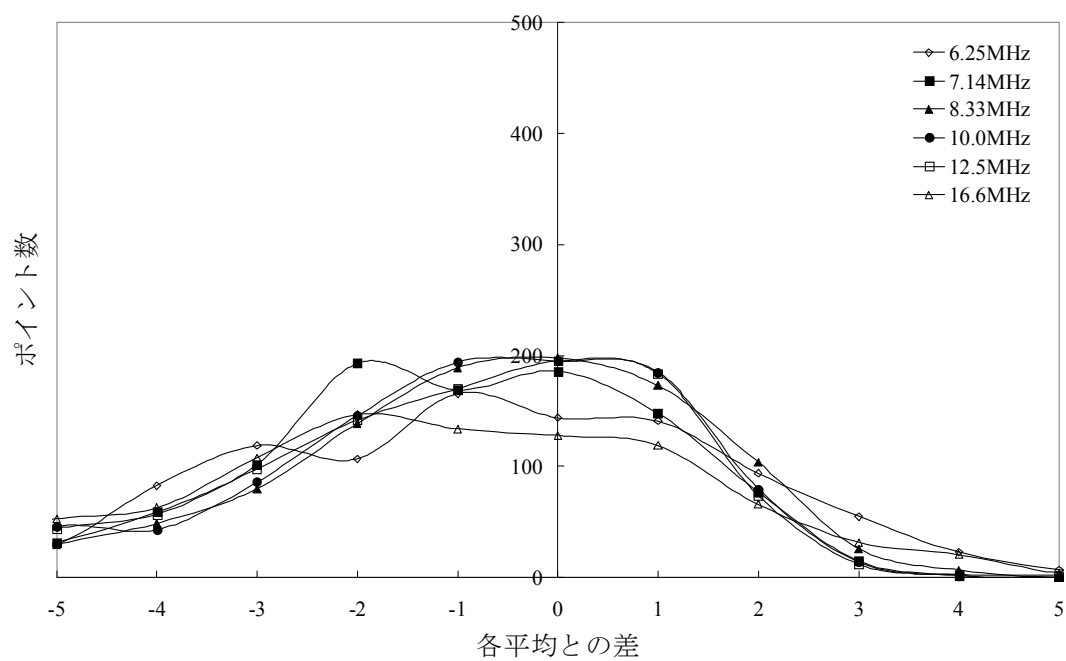
(b) ADC への入力電圧 1.0V



(c) ADC への入力電圧 1.5V



(d) ADC への入力電圧 2.0V



(e) ADC への入力電圧 2.5V

図 3-3 ADC のデータ誤差分布

図 3-3(a),(b),(c),(d),(e)においては、規格をオーバーさせた ADC-CLK 周波数 16.6MHz についても示しているが、他の特性に対して著しく正規分布の形状が崩れていることは明らかである。図 3-3(a)の入力電圧 0.5V の場合、10MHz が最も良い形の正規分布を示している。しかし、図 3-3(b)から(e)へと入力電圧を上げるにつれ、分布の形状が全体的に潰れ、入力電圧 2.5V である図 3-3(e)では、10MHz と 8.33MHz の特性がかろうじて正規分布の形を保っていることが分かる。これら図 3-3 の(a)から(e)への流れは、ADC への入力電圧が上がるにつれて誤差が増大する図 3-2 の特性がそのまま表れているといえる。図 3-3(a)から(e)の誤差分布を見る限り、ADC-CLK 周波数は 10MHz、もしくは、8.33MHz が良いと思われるが、遅れ時間として及ぼす影響を配慮すると、10MHz の方が妥当である。

以上の結果から、ADC-CLK 周波数は 10MHz とし、制御プログラムの中でその設定を行うこととする。

3-3 ADC 取得データの移動平均処理

POL の出力電圧波形には、定常的にスイッチング動作に伴うノイズが重畳されている。さらに負荷急変時には、出力コンデンサと電源出力パターンにおける寄生インダクタンスの影響によりノイズが発生する可能性がある。このため、POL が安定した動作を保つには、プログラムによって移動平均フィルタを構成することによりノイズを軽減させる方法が考えられるが、遅れ時間と誤差に配慮して、適切な平均数にする検討が求められる。なお、F2808 が内蔵する ADC には、サンプリングしたデータを順次パッケージ化して AD 変換する、ラッピングと称するモードが用意されており、移動平均の手段として、これについても検討を行う。

3-3-1 移動平均の手法

本項では、プログラムによって動作する移動平均フィルタの手法を検討する。ADC のデータ更新周期は、ADC-CLK 周波数が 10MHz の場合、200ns 毎となるため、比較的高速である。また、POL のスイッチング周期は 2 μ s であり、移動平均を行っても、全体の制御処理に及ぼす遅れの影響は少ないと判断する。

移動平均による誤差の度合いを評価するにあたり、その数を 1, 2, 4 に定める。なお、1 の場合、平均動作は無く、ADC で取得したデータがそのまま制御演算で用いられる。4 の場合は、ADC が取得するデータの更新周期ごとに、F2808 のメモリに順次書き込まれるデータを 4 個全て加えてから 4 で割り（実際の処理では 2 ビット右シフトさせる）演算を行う。移動平均による誤差を評価するため、POL を非制御（固定の PWM 信号）で動作させてデータを取得し、移動平均 1, 2, 4 で得られたデータに対して、それぞれ全体の平均値を中心に置き、誤差分布図を描画する。図 3-4 にその結果を示す。この図より、移動平均 2（移動平均数が 2）が最も正規分布の形に近いことが分かる。すなわち移動平均 2 は、移動平均 4（移動平均数が 4）に対して、誤差と遅れ時間が少なく、また移動平均なしと比較すると誤差の小さいことが理解できる。

以上より、本論文のデジタル制御 POL に適した、ADC の取得データに対する移動平均数は

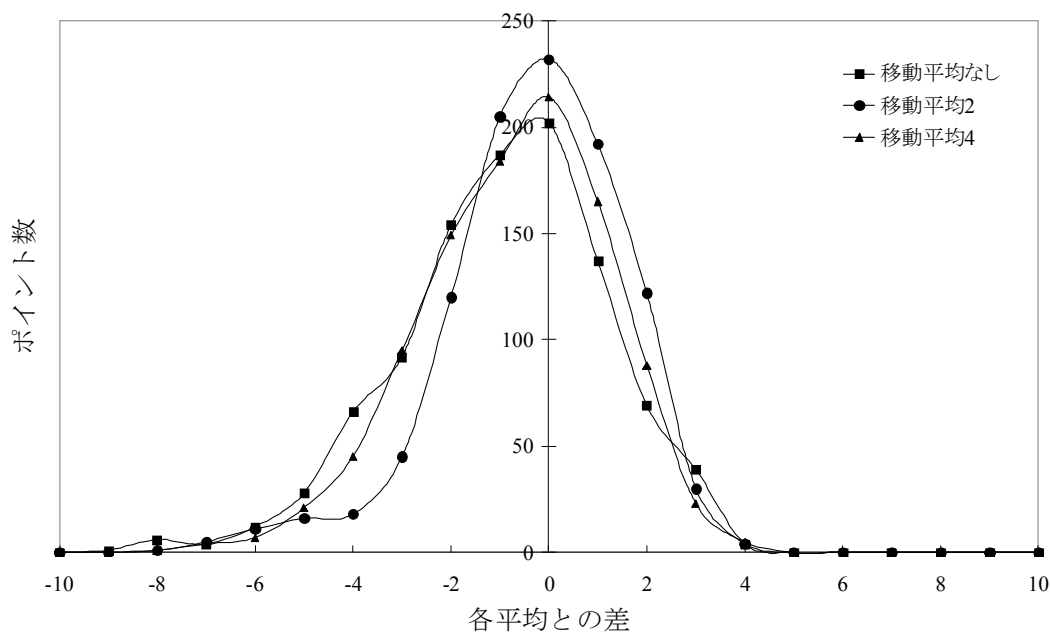


図 3-4 移動平均のデータ誤差分布

2 であると判断し、制御プログラムの中で設定することとする。

3-3-2 ラッピング動作の検討

F2808 が内蔵する ADC には、サンプリングしたデータを順次パッケージ化して AD 変換する、ラッピングモードが用意されている。このラッピングモードを使えば、3-3-1 項で述べたプログラムによる移動平均とは異なり、ハードウェアに任せた移動平均データが取得できる。図 3-5 にラッピングモードによる 4 個のデータを移動平均した場合の概念図を示す。

図 3-5 の左側は、F2808 がラッピングモードで移動平均を行った場合の、取得するデータの流れであり、右側が、通常の移動平均を行った場合のデータの流れである。#4 から#12 は、ADC におけるデータ更新の順番を時系列で表現しており、#4 より#12の方が新しいことを意味する。通常の移動平均の場合は、データ更新が行われるたびに、平均されるデータの内容が変わる。一方、ラッピングモードの場合は、4 つの新しいデータが全て揃った状態で、初めて移動平均の値が変化する。すなわち、ラッピングモードは遅れ時間が増すのみで、高速応答に対して貢献要素の無いことが分かった。

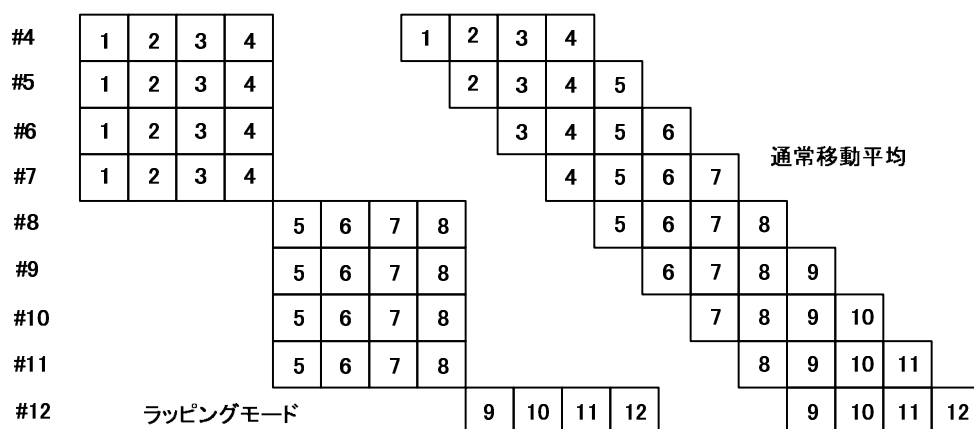


図 3-5 ラッピングモードの概念図

以上の理由により、移動平均は、ADC の取得データを加算してシフトする、プログラムのみの処理とし、F2808 が用意するラッピングモードは使用しないこととする。

3-4 ADC の動作解析と遅れ時間の調査

本論文のデジタル制御 POL は、固定スイッチング周波数で動作し、演算された制御量が新しい PWM 信号として反映されるのは、制御量を演算した周期に対して次周期（1 つ後の周期）となる。このため、上記の動作を維持しつつ POL の制御応答性を上げるには、制御量演算の実施期間を可能な限り次周期に近付ける必要がある。したがって、ADC から取得するデータのタイミングを調整し、遅れ時間を減らす工夫が求められる。なお、この手法についての提案と動作検証は、第 5 章において詳しく述べる。

F2808 に実装される制御プログラムは、制御量の演算を開始する際に、ADC からメモリに書き込まれたデータを読み込む。しかしながら、制御量演算の開始が次周期から遠いと、演算で使用する取得データも次周期から遠くなり、結果として遅れ時間が増大することになる。このため、制御量演算は、ADC による遅れ時間も考慮に入れる必要がある。以下、本節では ADC による遅れ時間について明らかにする。

F2808 が内蔵する ADC は、図 3-6 に示すタイミングチャートでアナログ信号からデジタル値への変換が行なわれている^(D)。入力されたアナログ信号は、 t_{SH} 幅の S/H パルスでサンプリングとホールドの動作がなされ、次の t_{cvmw_n} の期間でデジタル値に変換された後に、DSP のメモリに書き込まれる。メモリに書き込まれたデジタル値は、次の t_{mh_n} の間、維持される。なお、3-2 節の検討結果より、ADC-CLK の周波数は 10MHz に設定されて動作することが決まっている。データシートにおける ADC の概略によると、ADC-CLK 周波数が 10MHz であれば、遅れ時間

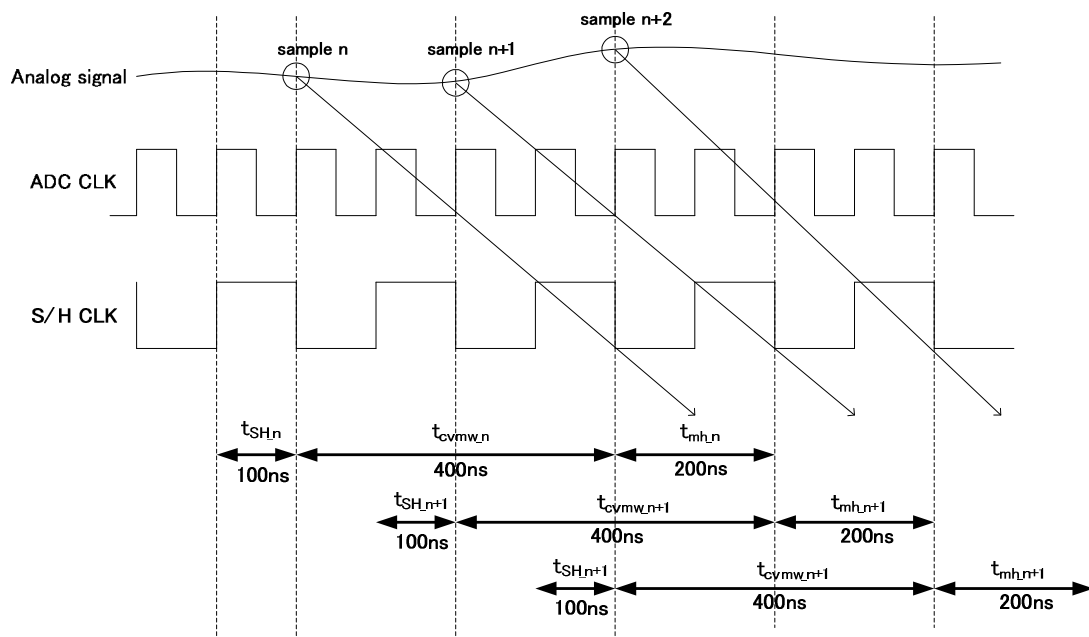


図 3-6 F2808 が内蔵する ADC の変換タイミングチャート

は 200ns と考えがちであるが、実際の ADC の遅れ時間は、

$$t_{ADdelay} = t_{SH\_n} + t_{cvnw\_n} + t_{mh\_n} \quad \dots\dots\dots(3-1)$$

となることが図 3-6 から理解できる。

したがって、ADC の遅れ時間は、F2808 のデータメモリに対するアクセスタイミングによって幅をもつが、最小で 500ns、最大で 700ns に及ぶ場合があると推測できる。(3-1)式の遅れ時間は、ADC を連続動作モードで動かした場合に適用できるが、SOC(Start of conversion)や EOC(End of conversion)による、同期信号を用いた動作モードの場合は、処理時間が増大し、遅れ時間がさらに増すことになる。このため、本論文では、ADC の動作を、プログラムによる制御動作を要さない、サイクリックな連続モードで実施することとする。

3-5 DPWM に関連する数値処理の検討

本論文の DSP を用いたデジタル制御 POL が、低電圧動作を満足するためには、入出力電圧差の大きさを想定し、電源制御動作に支障をきたさないよう、幅の短い PWM 信号でも十分な精度で増減をさせる必要がある。このため、F2808 が内蔵する高分解能の DPWM に関連して、制御量が書き込まれるメモリにおける数値演算の検討を行い、上記の動作を満たすための固定小数点データに対する取り扱い方法を検討する。

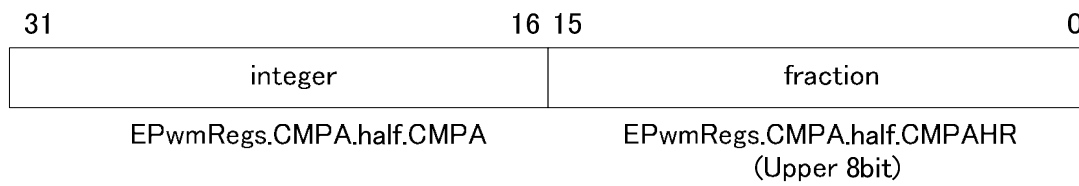
3-5-1 DPWM における問題設定

F2808 において、PWM 信号のカウント値を決定するメモリは、32 ビットで構成されている。この内容を図 3-7(a)に示す。この 32 ビットのうち、上位 16 ビットの分解能は F2808 の CLK 周波数によって決まる。F2808 は 100MHz の CLK で駆動されるため、この上位 16 ビットの分解能は 10ns となる。一方、下位 16 ビットは、150ps の高分解能 PWM (以下、HRPWM) 用である。ただし、HRPWM のメモリは、16 ビットのうち上位 8 ビットのみが有効と、データシートにおいて記載されている^(E)。また、PWM 信号の幅を決定する 32 ビットのメモリは、"EPwmRegs.CMPA.half.CMPA"、および、"EPwmRegs.CMPA.half.CMPAHR"に分割し、それぞれ 16 ビットメモリとして定義することが可能なため、PWM と HRPWM を別々に設定することができる。したがって、PWM メモリを整数部と考え、HRPWM メモリを小数部と考えることにする。

PWM カウント値は演算によって求められた制御量が DPWM において変換されたデータである。ここでは、制御量の整数部を PWM、小数部を HRPWM として考えているため、整数部は PWM カウントの最大値である 199 ($2\mu/100\text{MHz}$) であり、したがって 8 ビットで間に合う。そこで、符号ビットを加えた 9 ビットに対して、残りの 7 ビットを小数部として設定し、図 3-7(b)に示すような、符号付 Q23 フォーマットとする。しかし、この設定では、PWM メモリの Q16 フォーマットと異なってしまうため、整合を取らなければならない。そこで、制御量をシフトすることによる整合の方法を以下に示す。

まず、制御量の整数データは 32 ビットメモリの上位 8 ビットに位置している。そのため、整数部だけを取り出すには、右に 23 ビットシフトすることで実現できる。一方、小数部の処理は少し複雑である。小数についても、7 ビットシフトして入力すれば実現可能と思われるが、HRPWM の最小分解能が 150ps であるために調節が必要となる。HRPWM の有効ビット数は 8 ビットであるため、HRPWM で表現できるパルス幅は図 3-8(a)に示す通り、0 から 38.25ns の範囲である。例えば、HRPWM から PWM へ 1 繰り上がった場合を考えてみる。1 繰り上がった後の状態は、図 3-8(b)のように示される。繰り上がり後は整数部が 1 となり、小数部は 0 である。つまり、パルス幅が 10ns となり、繰り上がり前の 38.25ns より短くなる結果となってしまう、一致性がとれなくなる。このような現象を防ぐため、小数部の数値を変換し、小数部と整数部が連続した重みをもつように整合が取られる必要がある。

Duty (Fixed32bit)

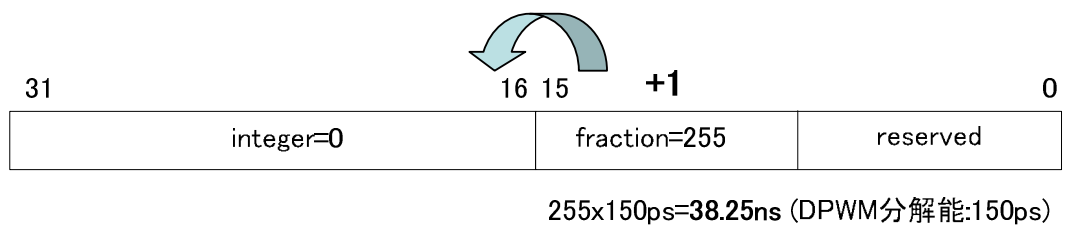


(a) PWM 値のメモリ構成

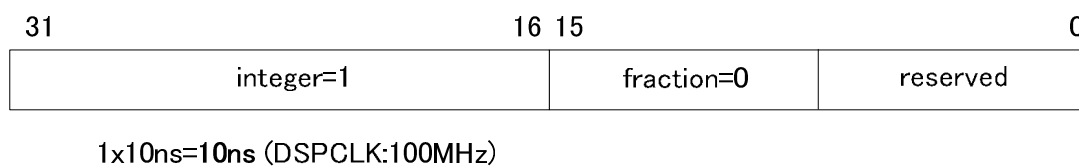


(b) 符号付 Q23 フォーマット

図 3-7 制御量データフォーマット



(a) 繰り上がり前 (HRPWM 最大値)



(b) 繰り上がり後

図 3-8 HRPWM によるデータの繰り上がり

3-5-2 制御量データフォーマットの検討

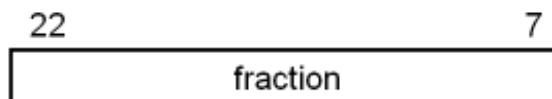
整数と小数の整合を取るためには、整数部の分解能を 38.25ns にするか、小数部からの繰り上がりを 10ns にするか、の 2 通りの方法が考えられる。本論文では、桁の単位を考慮しやすい、繰り上がりを 10ns にする後者の方法を選ぶことにする。繰り上がりが 10ns になるということは、38.25ns を 10ns に変換すればよいので、小数部を $40/153(0.261437\cdots)$ とすればよい。しかし、一般に、除算行為によって、プロセッサの処理時間は著しく増大するため、この方法は好ましくないと考える。このため、 $40/153$ に対して近似を取り、 $1/4$ とする。近似化により、 $38.25\text{ns}/4=9.5625\text{ns}$ となり、10ns にほぼ近い値となる。この処理であれば、除算を行わずに、2 ビット右シフトで実現できる。また、この処理により、PWM 分解能は 156.25ps となるが、この数値は 150ps に対して 1% 程度の誤差でしかない。よって、上述の方法で PWM の小数部を表現することとする。以下、具体的な処理方法について述べる。

まず、図 3-7(b) で示される制御量を 7 ビット右シフトすると図 3-9(a) のようになる。ここでは、下位 16 ビットが小数である。ここから小数部分を取り出すために、16 ビットの符号なしメモリへ一時的に移動する。実際の処理としては、25 ビットのデータを 16 ビットのメモリに書き込むことになるので、上位 9 ビットは消失し、図 3-9(b) に示すように 16 bit の小数部分のみが残る。最終的に、このデータを 2 ビット右シフトし、前述の”EPwmRegs.CMPA.half.CMPAHR”に書き込むことによって、数値処理は完了する。

以上述べたように、F2808 が内蔵する DPWM において、演算された制御量の整数部分と小数部分の数値を整合する手法を検討した。この内容はプログラム化されて、F2808 に実装され、第 5 章以降の実機試験において適用される。



(a) 制御量を 7 ビット右シフトした状態



(b) 高分解能メモリに相当する箇所のフォーマット

図 3-9 PWM メモリにおける整数部と小数部の整合

3-6 むすび

本章では、選定した DSP である F2808 が内蔵する、ADC と DPWM について検討を行った。ADC は、POL の出力電圧検出の機能を担い、DPWM は主回路の MOSFET を駆動する PWM 信号を生成する役目を果たす。すなわち、DSP の演算部にとって、ADC は入力、DPWM は出力を意味しており、POL の主回路に対してインターフェイスの役割を果たすこれらの機能が、実動作の上で適切かの判断が求められていた。

ADC については、POL の低電圧出力を精度良く検出し、さらに、高速応答を満たすための高い変換速度が必要になる。このため、ADC に対して入力される電圧値と ADC-CLK 速度に対し、取得データの検出誤差がどのように変化するかを、標本分散と誤差分布によって評価した。得られた誤差特性を評価した結果、ADC-CLK 周波数の設定は、誤差分布が正規形状に最も近いと考えられる 10MHz にすることに決定した。また、ADC に関連して、ノイズによる誤動作回避用の移動平均処理についても検討を行った。誤差分布による評価と遅れを考慮した検討の結果、移動平均数を 2 に決定し、制御プログラム中で反映させることとした。さらに、遅れ時間に配慮し、ADC の変換動作は、考え得る最速な動作である、連続モードにすることも決定した。

一方、DPWM に対しては、POL が安定した低電圧を出力するために、DPWM の最小分解能と CLK 周波数によるカウント数が一致性を保ち、制御量を供給することが求められる。DSP で演算された制御量は、PWM 信号が連続して精度良く変化できるように、該当するメモリの整数部分に対して、小数部分の繰り上がりが整合される必要があることが調査により判明した。このため、演算された制御量に対し、DPWM において生成される PWM 信号が、意図した幅となるように、ビットシフトや近似処理で構成された数値処理を検討し、この処理を定めることができた。

以上述べたように、POL 用途として、DSP の検出手段である ADC、並びに、DSP の制御演算結果の反映手段である DPWM に対して、最適と考えられる使用方法を決定することができた。

次の第 4 章では、デジタル制御 POL が安定動作と高速応答を実現するために必要な、制御式についての検討を行う。

引用文献

- (1) Atrash, Batareseh:「Digital Controller Design for a Practicing Power Electronics Engineer」,in Proc. IEEE APEC Conf, pp.34-41 (2006)

参考資料

- (A) 中村：「A-D 変換 IC を使いこなす」 トランジスタ技術, pp100-140 (2006)
- (B) Texas Instruments Inc:「TMS320x280x DSP Analog-to-Digital Converter(ADC) Reference Guide (SPRU716B)」 (2005)
- (C) Texas Instruments Inc:「An Overview of Designing Analog Interface with TMS320x28xx/28xxx DSC (SPRAAP6)」 (2007)
- (D) Texas Instruments Inc:「TMS320x280x Enhanced Pulse Width Modulator (ePWM) Module Reference Guide (SPRU791E)」 (2008)
- (E) Texas Instruments Inc:「TMS320x280x Enhanced Pulse Width Modulator (HRPWM) Reference Guide (SPRU924A)」 (2006)
- (F) 富士通エレクトロニクス：「F280x デバイスの ePWM ペリフェラル」 (2005)

第4章 高速応答用デジタル制御式の検討

4-1 まえがき

負荷急変に対する POL の応答特性を上げるためには、主回路と制御回路における遅れ要素への対策を要する。主回路については、既に第2章で実施したが、制御回路についても検討が求められる。本論文の POL は、スイッチング周波数を 500kHz に設定されるが、応答性能を向上させるには、毎スイッチング周期で PWM 信号を更新する必要がある、1 スwitchング周期以内の演算処理完了が求められる。また、LC フィルタによる共振周波数に対応し、高応答帯域と安定性を確保しなければならない。一般に PI 制御式は、出力電圧波形が振動的となり、POL への適用は困難と考えられるため、高速応答と安定動作に適した制御式を確立する必要性に迫られる。しかし、デジタル制御式は、アナログ制御回路とは異なり、経験に基づく直感的な設計は困難であることから、手順を踏んだ制御式の導出を行うと共に、実機動作に先立ち、主回路や制御動作の遅れを含んだ解析を行い、デジタル制御 POL の基本特性を知る必要がある。

アナログ制御の場合、POL の応答性能を上げるためには、誤差増幅回路が検討対象となる。具体的には、増幅器を高帯域化し、入力段と帰還段に接続される受動素子を組み合わせる位相補償をかける手法が取られる。これは、LC フィルタの共振周波数と、目標とする応答帯域（ゼロクロス周波数）を基本条件にして、抵抗とコンデンサで形成されるゼロ点とポールを、効果的に配置することにより、帯域の拡大と位相回りを調整する手法である。電圧制御方式によるアナログ制御 POL では、この調整を行うために、タイプⅢ^(A)と呼ばれる位相補償回路の適用が提案されている^{(B)(D)}。

デジタル制御電源の制御式に対する実現方法については、過去の文献において提案がなされている^{(1),(2)}。しかしながら、DSP を用いたデジタル制御 POL において高速応答を達成するためには、制御式の設計法を詳細に検討し、導出までの手順を示す必要があると考える。また、応答特性の傾向を知るため、主回路や制御回路の遅れ要素を含んだ回路のモデル化を行い、導出した制御式に対して机上で解析することが有益である。これまで電源回路の解析事例は多数報告されているが^{(例えば(3)-(6))}、主回路や制御方式が異なるため、そのまま参考にはできない。特に DSP を用いたデジタル制御 POL では、制御処理に伴う遅れ時間を詳細に検討することが求められる。

本章では、高速応答用のデジタル制御式を得るために、まず、高帯域位相補償が可能なアナログ制御回路をデジタル制御式に変換する手順を示す。さらに、回路シミュレータを用いて、負荷急変時の出力電圧変動、および、周波数応答特性を評価し、制御式を机上で確認する。なお、周波数応答特性の机上評価にあたり、ボード線図を短時間で得ることが可能な、近似小信号モデルを作成する。本章で得られるデジタル制御式は、次章以降の実機試験において継続して使用されるため、その妥当性を確認することを目的に、シミュレーションを主体とした机上作業によってデジタル制御 POL の基本動作が検討される。

4-2 アナログ制御回路

電源回路の周波数応答特性に大きな影響を及ぼす共振周波数は、主回路における LC フィルタの定数によって定まる。LC フィルタは、共振周波数において位相が 180 度回りゲインが -40dB/decade で減衰する 2 次遅れ系であるため、応答帯域を拡張し、位相回りを抑えるには、位相補償回路が必要になる。通常、アナログ制御における位相補償は、誤差増幅回路による進み遅れ補償によりなされる。進み遅れ補償とは、1 次進みのゼロ点と 1 次遅れのポールを共振周波数に対して効果的に使用する手法である。POL の場合は、共振周波数付近に 1 次進みのゼロ点を置いて、ゼロクロス周波数を高めつつも位相回りを抑え、さらに、1 次遅れのポールをゼロクロス周波数近傍、すなわち、ゲインが 0dB 前後の領域に置き、安定性に影響を及ぼさないように設定することが妥当といえる。

4-2-1 誤差増幅回路の設計

第 1 章の図 1-1 で示した POL の回路に対して、アナログ制御では、Controller の箇所が図 4-1 に示す誤差増幅回路に置き換わる。これは、タイプⅢと呼ばれる誤差増幅回路、および、比較器で構成される、PWM 信号を生成するための回路である。誤差増幅回路の入力 V_{errin} は、POL の出力電圧検出部 V_{out} に接続され、出力 V_{errout} は、次段の比較器に入力される。さらに、比較器出力はゲートドライバを経由して MOSFET に接続され、電源回路が構成される。ゲートドライバの機能は、第 2 章 2-2-5 項において説明した通りで、主回路の MOSFET を駆動するために、電流増幅とレベルシフトの動作を行う。

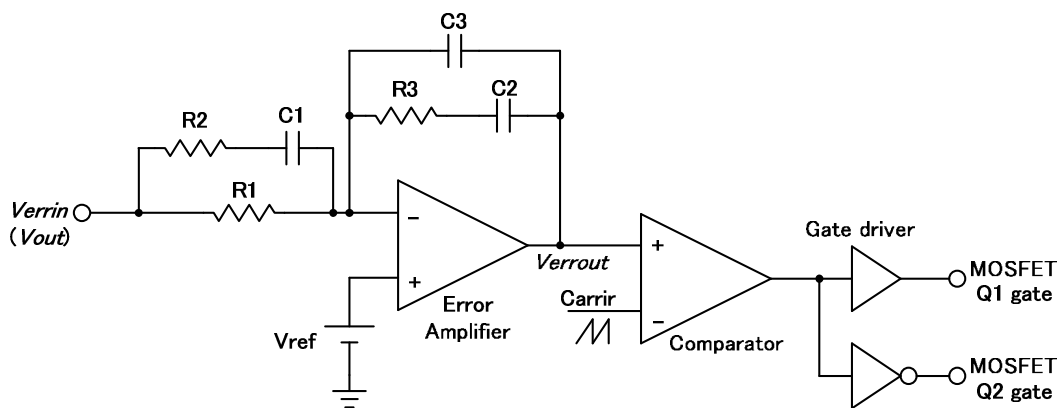


図 4-1 アナログ制御回路

以下、誤差増幅回路における、位相補償作用について説明する。

主回路における LC フィルタの共振周波数 f_o は

$$f_o = \frac{1}{2\pi\sqrt{LC_{out}}} \quad \dots\dots\dots(4-1)$$

であることが知られている。

第2章において、LC フィルタにおける L 値は $0.47\mu\text{F}$ 、 C_{out} 値は $282\mu\text{F}$ と決定したので、(4-1)式より f_o は 13.8KHz となる。

さらに、進み補償のゼロ点周波数は、以下の(4-2)式、(4-3)式で

$$f_{z1} = \frac{1}{2\pi R2 C1} \quad \dots\dots\dots(4-2)$$

$$f_{z2} = \frac{1}{2\pi R1 C3} \quad \dots\dots\dots(4-3)$$

計算することができる。

また、遅れ補償のポール周波数は、以下の(4-4)式、(4-5)式で

$$f_{p1} = \frac{1}{2\pi R2 C2} \quad \dots\dots\dots(4-4)$$

$$f_{p2} = \frac{1}{2\pi R3 C3} \quad \dots\dots\dots(4-5)$$

計算することができる^(A)。

位相補償のため、LC フィルタの共振周波数 13.8KHz に対して、やや低い周波数領域に進み補償のゼロ点 f_{z1} と f_{z2} を配置し、共振周波数より高くゼロクロス周波数を上回る周波数領域に遅れ補償のポール f_{p1} と f_{p2} を配置する設計を行う。計算と調整を行った結果、図 4-1 で示した誤差増幅回路の定数を以下のように定める。

$R1=860\Omega$, $R2=470\Omega$, $R3=100$, $C1=0.068\mu\text{F}$, $C2=220\text{pF}$, $C3=0.022\mu\text{F}$

上記の抵抗とコンデンサの値を(4-2)式、(4-3)式、(4-4)式、(4-5)式にそれぞれ代入すると、ゼロ点は $f_{z1}=5\text{KHz}$, $f_{z2}=8.4\text{KHz}$ 、さらにポールは $f_{p1}=1.3\text{MHz}$, $f_{p2}=72\text{KHz}$ となる。なお、ゼロクロス周波数は、スイッチング周波数の 1/10 程度が安定性の面でよいことが知られており、これが 50kHz 前後と考えると、 f_{p2} の数値は妥当といえる。

4-2-2 アナログ制御のシミュレーション動作確認

前項において設計した誤差増幅回路を使用した、アナログ制御 POL の定常動作、および、負荷急変時の出力電圧変動を、シミュレーションによって確認する。本論文では、検証用の回路シミュレータとして PSIM^(E)を使用する。

第 2 章で決定した入出力条件により、POL の入力電圧は 12V、出力電圧は 1V の設定で動作させる。同様に、負荷条件により、負荷電流の範囲を 0 から 5A とし、10A/μs のスルーレートで負荷急変を発生させる。得られた波形を図 4-2 に示す。シミュレーションであるため、誤差増幅器に遅れはなく、さらに、比較器に入力されるキャリア波形の振幅でゲインが変わるため、応答性に関する良し悪しをここでは判定できないが、動作は安定しており、基本設計は間違えていないことが確認できた。なお、4.4 節では、設計した誤差増幅回路をデジタル制御に置き換える方法について説明する。

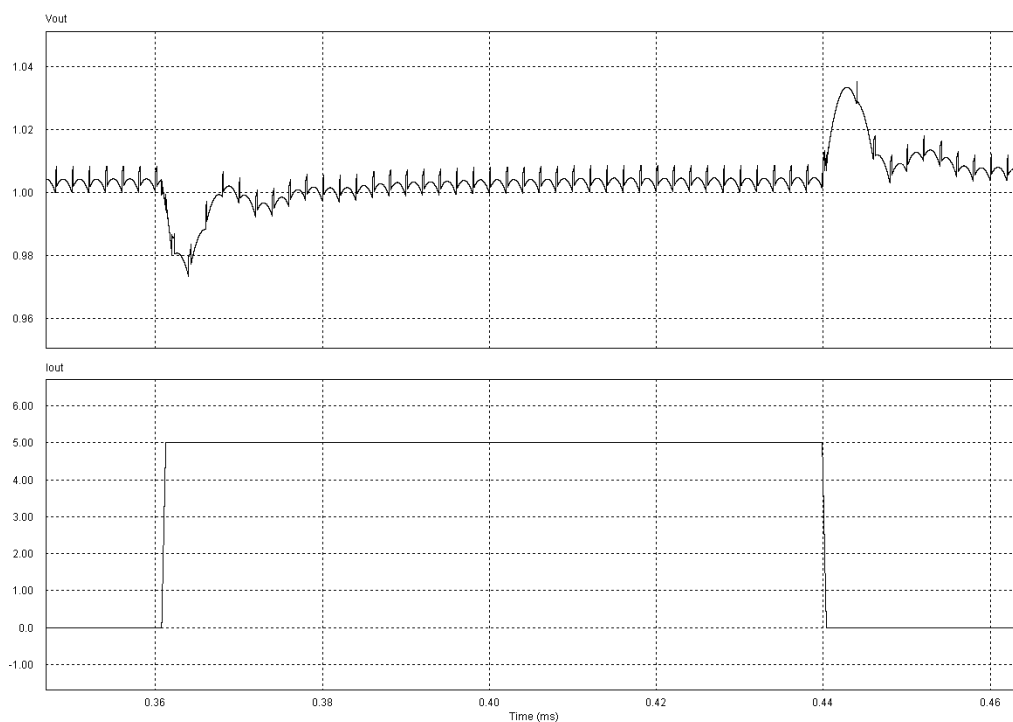


図 4-2 シミュレーションによるアナログ制御 POL の負荷急変波形
上：出力電圧(V) 下：負荷電流(A)

4-3 PI制御のシミュレーション検証

高速応答用のデジタル制御式を導出する前に、本節では、PI制御式が、POLに対して不向きと考えた理由をシミュレーションによって検証する。図4-3に、POLをPI制御式によるデジタル制御動作をさせ、続いて負荷急増を発生させた波形を示す。入出力条件、負荷条件は前節と同様であり、PI制御式における係数 K_0 と K_1 の定数は、それぞれ、0.1と0.097である。図に示されるように、負荷急変後の出力電圧波形は振動的であり、さらに変動の最大値は250mVにまで達している。なお、制御式のゲインを上げると、定常時の動作も振動的となり、非常に不安定な状態となる。また、出力電圧の目標値は、1.0Vに設定しているが、定常偏差により40mVの誤差が生じている。

PI制御が高速応答に適さない理由として、LCフィルタの高い共振周波数に対し、位相補償の要素がゼロ点1つのみであることが考えられる。このため、LCフィルタによる2次遅れに十分に対処することができず、結果としてゲインを下げなければならない。ゲインを下げることで、応答性能は低下し、さらに、起動も遅くなる。なお、POLのような特殊なLCフィルタの定数や高速負荷急変に対応する必要のない他のデジタル制御電源では、PI制御は有効である。その理由は、制御係数のチューニングによって、ある程度の制御動作が実現できるからである。しかし、POLの場合は、試行錯誤のチューニング作業によって、高速応答と安定動作を満たす制御式を得ることは困難と考える。このため、次節に示されるような、POLに適した制御式を得る手法を検討する必要がある。

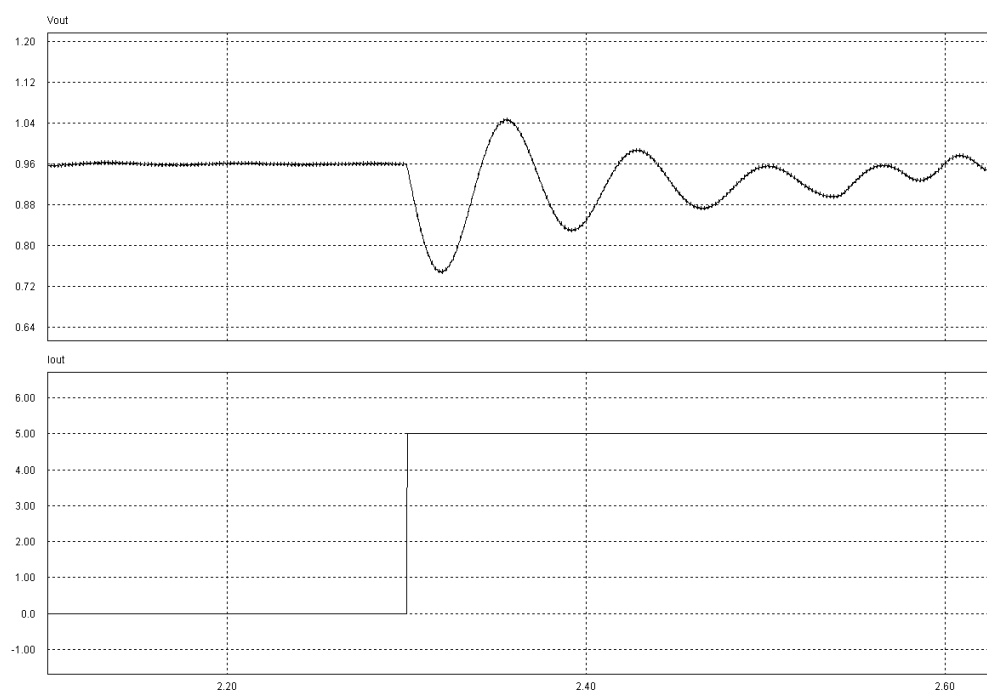


図 4-3 シミュレーションにおける PI 制御による POL の負荷急変波形
上：出力電圧(V) 下：負荷電流(A)

4-4 デジタル制御式の導出

4-2 節で得た制御回路は、アナログ制御用であり、POL をデジタル制御で実機動作させるには、この回路をプログラム動作可能な形式に変換する必要がある。この変換にあたって本章では、デジタル再設計^(F)として知られている手法を使用する。手順としては、まず誤差増幅回路を連続時間系の s 領域（周波数領域）へ伝達関数化し、さらに離散時間系の z 領域へ変換した後に、差分方程式の形へと置き換える。以下、その導出方法を式を用いて示す。

4-4-1 誤差増幅回路の周波数領域伝達関数

図 4-1 における誤差増幅回路の入力段を構成している、 R_1 , R_3 , C_3 の並列インピーダンス G_i を s 領域の関数にすると、

$$G_i(s) = \frac{sR_1R_3C_3 + R_1}{s(R_1C_3 + R_3C_3) + 1} \quad \dots\dots\dots(4-6)$$

と表すことができる。なお、式を見やすくするため、以下の式においても抵抗とコンデンサを表記する数字は添え字としている。

次に、誤差増幅器回路の帰還段を構成している R_2 , C_1 , C_2 の並列インピーダンス G_o を s 領域の関数にすると、

$$G_o(s) = \frac{sR_2C_1 + 1}{s^2R_2C_1C_2 + s(C_1 + C_2)} \quad \dots\dots\dots(4-7)$$

と表される。よって誤差増幅器回路の伝達関数 $G(s)$ は、

$$\begin{aligned} G(s) &= \frac{G_o(s)}{G_i(s)} \\ &= \frac{(sR_2C_1 + 1)\{s(R_3C_3 + R_1C_3) + 1\}}{\{s^2R_2C_1C_2 + s(C_1 + C_2)\}(sR_1R_3C_3 + R_1)} \quad \dots\dots\dots(4-8) \end{aligned}$$

と表される。

4-4-2 双一次変換

周波数領域である s で表された関数を、離散領域である z で表された関数に変換するため、双一次変換を行う。デジタル再設計には、 s 領域を z 領域に変換する各種手法が提案されているが、中でも双一次変換は、エイリアス効果がなく、サンプリング周波数の $1/10$ 以下ではアナログで設計したゲインと位相特性が損なわれないという特徴を有しており⁽⁷⁾、有効と考える。

双一次変換の式は、次の(4-9)式によって定義されている。

$$s = \frac{2(1 - z^{-1})}{T(1 + z^{-1})} \quad \dots\dots\dots(4-9)$$

(4-9)式における T はサンプリング周期を意味しており、ここではスイッチング周期となる。
(4-9)式を(4-8)式に代入すると、離散領域の伝達関数 $G(z)$ は、以下の(4-10)式として得られる。

$$G(z) = \frac{\left\{ \frac{2(1-z^{-1})R_2C_1}{T(1+z^{-1})} + 1 \right\} \left\{ \frac{2(1-z^{-1})(R_1C_3 + R_3C_3)}{T(1+z^{-1})} + 1 \right\}}{\left\{ \frac{4(1-z^{-1})^2 R_2C_1C_2}{T^2(1+z^{-1})^2} + \frac{2(1-z^{-1})(C_1 + C_2)}{T(1+z^{-1})} \right\} \left\{ \frac{2(1-z^{-1})R_1R_3C_3}{T(1+z^{-1})} + R_1 \right\}}$$

.....(4-10)

しかしながら、 z で表現された伝達関数は、そのままプログラム化することができないので、さらに差分方程式の形に変換する必要がある。

以下の(4-11)式で表現された z 領域の伝達関数は、(4-12)式の差分方程式に置き換えられることが知られている。

$$G(z) = \frac{K_0 + K_1z^{-1} + K_2z^{-2} + K_3z^{-3}}{1 + K_4z^{-1} + K_5z^{-2} + K_6z^{-3}} \quad \text{.....(4-11)}$$

$$U(n) = K_0 \cdot E(n) + K_1 \cdot E(n-1) + K_2 \cdot E(n-2) + K_3 \cdot E(n-3) \\ - K_4 \cdot U(n-1) - K_5 \cdot U(n-2) - K_6 \cdot U(n-3) \quad \text{.....(4-12)}$$

次項では、(4-10)式を(4-11)式の形に変換するため、(4-10)式における分子と分母の整理をそれぞれ実施する。

4-4-3 離散領域伝達関数の差分方程式変換

前項において、(4-10)式で表された、 z の関数に変換された誤差増幅回路の伝達関数を、プログラム記述が可能な差分方程式に置き換えるべく、以下、分子と分母について、それぞれ整理を行う。

・分子の式（その1）

(4-10)式の分子において、

$$a = \frac{2R_2C_1}{T} \quad b = \frac{2(R_1C_3 + R_3C_3)}{T}$$

と置くと、この分子式は(4-13)式で示すように変形される。

$$\begin{aligned}
& \left\{ \frac{a(1-z^{-1})}{1+z^{-1}} + 1 \right\} \left\{ \frac{b(1-z^{-1})}{1+z^{-1}} + 1 \right\} = \frac{\{a+1+z^{-1}(1-a)\}\{b+1+z^{-1}(1-b)\}}{(1+z^{-1})^2} \\
& = \frac{(a+1)(b+1) + \{(a+1)(1-b) + (b+1)(1-a)\}z^{-1} + (1-a)(1-b)z^{-2}}{(1+z^{-1})^2} \dots\dots\dots(4-13)
\end{aligned}$$

さらに、(4-13)式の分母 $(1+z^{-1})^2$ を、(4-10)式の分母へ移動する。よって(4-13)式は、

$$g + hz^{-1} + iz^{-2} \dots\dots\dots(4-14)$$

と表すことができる。ただし、(4-14)式における g, h, i は、

$$\begin{aligned}
g &= (a+1)(b+1) \\
h &= (a+1)(1-b) + (b+1)(1-a) \\
i &= (1-a)(1-b)
\end{aligned}$$

である。

・分母の式 (その 1)

(4-10)式の分母は、次の(4-15)式で

$$\begin{aligned}
& \left\{ \frac{c(1-z^{-1})^2}{(1+z^{-1})^2} + \frac{d(1-z^{-1})}{1+z^{-1}} \right\} \left\{ \frac{e(1-z^{-1})}{(1+z^{-1})} + f \right\} \cdot (1+z^{-1})^2 \\
& = \{c(1-z^{-1})^2 + d(1-z^{-1})(1+z^{-1})\} \left\{ \frac{e(1-z^{-1}) + f(1+z^{-1})}{1+z^{-1}} \right\} \dots\dots\dots(4-15)
\end{aligned}$$

表される。ただし、(4-15)式中の c, d, e は、

$$\begin{aligned}
c &= \frac{4R_2C_1C_2}{T^2} & d &= \frac{2(C_1+C_2)}{T} \\
e &= \frac{2R_1R_3C_3}{T} & f &= R_1
\end{aligned}$$

に置き換えられている。

・分子の式 (その 2)

(4-15)式の分母 $1+z^{-1}$ を(4-10)式の分子、すなわち(4-14)式へ移動する。よって(4-10)式の分

子は、次の(4-16)式の形で

$$\begin{aligned} & (1+z^{-1})(g+hz^{-1}+iz^{-2}) \\ &= g+(h+g)z^{-1}+(i+h)z^{-2}+iz^{-3} \end{aligned} \quad \dots\dots\dots(4-16)$$

表される。

・分母の式（その2）

(4-15)式の分母から $1+z^{-1}$ が消えたため、(4-10)式の分母は、以下の(4-17)式の形で

$$\begin{aligned} & \{c(1-z^{-1})^2+d(1-z^{-1})(1+z^{-1})\}\{e(1-z^{-1})+f(1+z^{-1})\} \\ &= (j+kz^{-1}+lz^{-2})+(m+nz^{-1}) \\ &= jm+(jn+km)z^{-1}+(kn+lm)z^{-2}+nlz^{-3} \end{aligned} \quad \dots\dots\dots(4-17)$$

表される。ただし、(4-17)式における j, k, l, m は、

$$\begin{aligned} j &= c+d & k &= -2c \\ l &= c-d & m &= e+f & n &= f-e \end{aligned}$$

である。

よって、図 4-1 に示した誤差増幅回路は、離散領域において、

$$G(z) = \frac{g+(h+g)z^{-1}+(i+h)z^{-2}+iz^{-3}}{jm+(jn+km)z^{-1}+(kn+lm)z^{-2}+nlz^{-3}} \quad \dots\dots\dots(4-18)$$

と表される。

さらに、(4-18)式を差分方程式の形に変換するため、係数 $K_0, K_1, K_2, K_3, K_4, K_5, K_6$ を以下の式に置き換える。

$$\begin{aligned} K_0 &= \frac{g}{jm} & K_1 &= \frac{h+g}{jm} & K_2 &= \frac{i+h}{jm} & K_3 &= \frac{i}{jm} \\ K_4 &= \frac{jn+km}{jm} & K_5 &= \frac{kn+lm}{jm} & K_6 &= \frac{nl}{jm} \end{aligned}$$

上記の a, b, c, d, e, f, g, h, i, j, k, l, m, n は、誤差増幅器の周辺に配置された抵抗とコンデンサ、R1, R2, R3, C1, C2, C3 を組み合わせた数値であるので、これらを代入して係数をそれぞれ算出すると、

$K_0=3.521, K_1=-2.989, K_2=-3.502, K_3=3.008, K_4=-0.5618, K_5=-0.7431, K_6=0.3049$ となる。

よって差分方程式は、以下の(4-19)式で

$$U(n) = 3.521 \cdot E(n) - 2.989 \cdot E(n-1) - 3.502 \cdot E(n-2) + 3.008 \cdot E(n-3) \\ + 0.5619 \cdot U(n-1) + 0.7431 \cdot U(n-2) - 0.3049 \cdot U(n-3) \quad \dots\dots\dots(4-19)$$

表される。

この式に対してゲインを持たせたい場合は、 K_0 , K_1 , K_2 , K_3 に対して同じ数値を掛ければ良い。

なお、(4-19)式における各変数の意味を以下に述べる。

- ・ $E(n)$: 現周期（現在の制御周期）において、目標電圧値 V_{ref} と ADC で取得した出力電圧値 $V_o(n)$ の差である誤差量を意味する。
- ・ $E(n-1)$: 前周期（現周期に対して 1 つ前の制御周期）における誤差量を意味する。
- ・ $E(n-2)$: 前々周期（現周期に対して 2 つ前の制御周期）における誤差量を意味する。
- ・ $E(n-3)$: 前々々周期（現周期に対して 3 つ前の制御周期）における誤差量を意味する。
- ・ $U(n-1)$: 前周期において演算された制御量を意味する。
- ・ $U(n-2)$: 前々周期において演算された制御量を意味する。
- ・ $U(n-3)$: 前々々周期において演算された制御量を意味する。

(4-19)式を制御式とするデジタル制御 POL の動作は以下の通りである。ADC による S/H 動作と AD 変換によって出力電圧 $V_o(n)$ を検出し、さらに目標電圧値 V_{ref} から $V_o(n)$ を減算した誤差量 $E(n)$ と、現周期から 3 周期前までの誤差量 $E(n-1)$, $E(n-2)$, $E(n-3)$ を合わせた 4 データを、制御周期ごとにメモリに蓄える。DSP の演算部は、誤差量と同様に、3 周期前までそれぞれメモリに蓄えられた制御量 $U(n-1)$, $U(n-2)$, $U(n-3)$ を用いて、次周期（次の制御周期）における制御量 $U(n)$ を(4-19)式で表された制御式から演算して求める。得られた制御量は、DPWM によってデューティを表す PWM 信号に変換され、次のスイッチング周期において反映される。なお、デジタル制御による電源の動作で注意しなければならないのは、サンプリング周波数をスイッチング周波数と同じ、もしくは高くすることである。さらに、リミットサイクルオシレーション⁽⁸⁾を回避するため、ADC の分解能より PWM の分解能を高くする必要がある。また、制御量の演算結果は、次のスイッチング周期に PWM 信号として反映されるため、DPWM における PWM 信号の生成処理と併せて演算が完了し、次周期の開始に間に合うことが求められる。

4-5 導出式のシミュレーション動作確認

前節で導出したデジタル制御式による POL の定常動作、および、負荷急変時の出力電圧変動について、4-2 節と同様に回路シミュレーションによって確認する。なお、POL の入出力条件、および、負荷急変の条件は、4-2 節におけるものと同一である。シミュレーションによって得られた波形を図 4-3 に示す。

シミュレーションにおける制御動作の条件についてであるが、より実機動作を近付けるため、ADC には遅れ時間を設定し、ゲインは抑え気味にしている（3 倍）。このため、図 4-2 で示したアナログのシミュレーション結果よりも、負荷急変時の出力電圧変動は大きな値となっている。

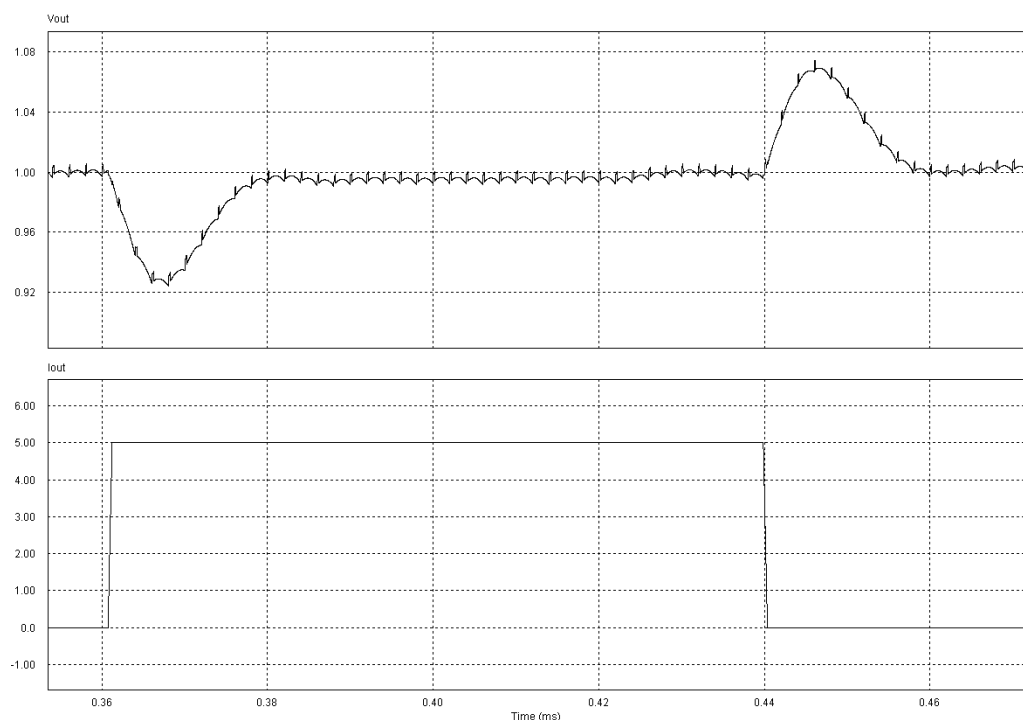


図 4-3 シミュレーションによるデジタル制御 POL の負荷急変波形
上：出力電圧(V) 下：負荷電流(A)

なお、この解析では、演算処理による遅れは考慮されていない。しかし、電源動作としては高速かつ安定動作が実現できており、導出したデジタル制御式は主回路条件に対して妥当であることが検証できた。

以上より、導出したデジタル制御式は、机上において正しく動作することが確認できた。

4-6 項数を減らしたデジタル制御式の検討

4-4 節で導出し、4-5 節においてシミュレーションによる確認を行ったデジタル制御式は、次数が $n-3$ に及ぶ差分方程式となっている。式の次数が $n-3$ であるのは、アナログの誤差増幅回路における高周波ノイズ除去用の $C2$ が存在するためである。タイプⅢでは $C2$ の使用が定義されており、この容量は高周波域のゲインを急激に落とすことが目的である。しかし、POL の主回路には LC フィルタが存在し、さらに ADC の前段にはノイズ除去用に 1 次遅れである RC フィルタが入っている。また、実際のプリント基板における浮遊容量を想定すると、実際には、 $C2$ の貢献度は少ないと考える。制御式の次数が減れば、その分、演算処理時間が短くなり、遅れ時間の短縮に寄与できる。このため、誤差増幅回路における $C2$ を削除することにし、再度 4-4 節で示した導出計算を行った結果、以下の差分方程式が得られた。

$$U(n)=3.896 \cdot E(n)-7.2033 \cdot E(n-1)+3.3287 \cdot E(n-2)+1.375 \cdot U(n-1)-0.375 \cdot U(n-2) \\ \dots\dots\dots(4-20)$$

(4-20)式を用いて再度回路シミュレーションを行い、得られた負荷急変特性を図 4-4 に示す。図 4-3 と比較すると分かるように、負荷急変時の出力電圧変動値、および、波形の挙動はほぼ同じとなっている。

以上の検証結果より、デジタル制御式は(4-20)式を基本とし、実機の DSP にはこの制御式をプログラム化して実装することとする。

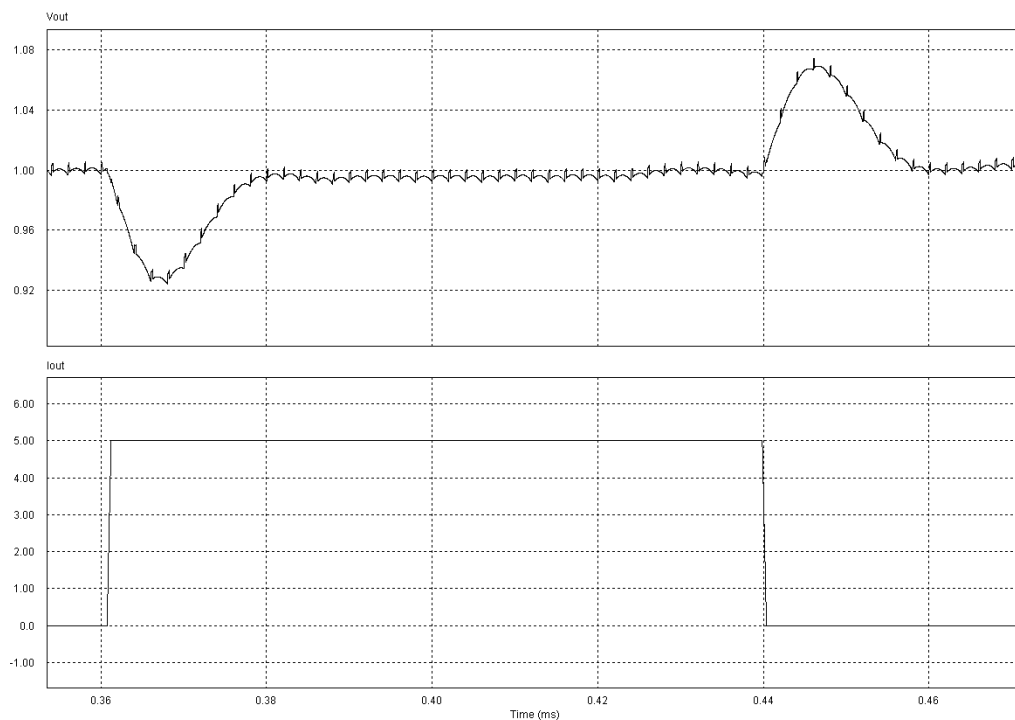


図 4-4 シミュレーションによる項数を減らした制御式での負荷急変波形
上：出力電圧(V) 下：負荷電流(A)

4-7 小信号モデルによる評価

本節では、本論文のデジタル制御 POL の周波数応答特性の傾向を知るため、近似小信号モデルを作成し、その評価を行う。シミュレータにおいて構成された実動作回路でも、実機と同様に交流の微弱信号を検出回路部分に注入し、主回路の出力部において、注入信号に対する増幅度と位相ずれを測定することによりボード線図を得ることはできる。しかし、これまで PSIM において、実回路動作をさせつつ、広い周波数範囲でボード線図を得るには、1 つの測定につき約 1 日半の時間を要していた。さらに、ゼロクロス周波数近辺での収束性が悪いためか、ゲイン特性のカーブが不連続となってしまう、データの信頼度に難があった。以上の理由から、シミュレーション上において、ボード線図測定専用の短時間で精度に信頼の持てる近似小信号モデルを作成する。以下、POL の回路各ブロックのモデル化手順、および、シミュレーションによる測定結果について説明する。

4-7-1 主回路のモデル化

解析対象である POL の LC フィルタの定数は、 $L:0.47\mu\text{H}$, $C_{\text{out}}:282\mu\text{F}$ であるので、共振周波数は約 13.8kHz であることが分かっている。小信号モデルでは、MOSFET によるスイッチング動作は平均化されるため、主回路は LC フィルタと負荷のみとなる。これらは、PSIM が用意する 2 次フィルタの伝達関数ブロックを用いて置き換えることができる。LC フィルタと負荷は、図 4-5 に示す LCR 構成の回路とみなすことができ、ダンピングファクタと共振周波数で表現することが可能となる。なお、一般に 2 次フィルタの伝達関数式は、

$$G(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n + \omega_n^2} \quad \dots\dots\dots(4-21)$$

で定義されている。

(4-21)式において、 ω_n は固有周波数、 ζ は減衰率を意味する。

さらに LCR フィルタの伝達関数 $G_p(s)$ は、(4-21)式に関連して

$$G_p(s) = \frac{\frac{1}{LC}}{s^2 + s\frac{1}{CR} + \frac{1}{LC}} \quad \dots\dots\dots(4-22)$$

で与えられる。

s 領域における、LC フィルタと負荷を合せた回路網における入出力関係を図 4-5 は示しており、主回路の伝達関数 $G_p(s)$ は、以下の手順で導出することができる。

$$V_i(s) = I(s) \cdot sL + V_o(s)$$

$$= V_i(s) \cdot \frac{(sRC_{out} + 1)sL}{RLC_{out}s^2 + sL + R} + V_o(s) \quad \dots\dots\dots(4-23)$$

よって $G_p(s)$ は、

$$\begin{aligned} G_p(s) &= \frac{V_o(s)}{V_i(s)} = 1 - \frac{RLC_{out}s^2 + sL}{RLC_{out}s^2 + sL + R} \\ &= \frac{R}{RLC_{out}s^2 + sL + R} \\ &= \frac{1}{s^2 + s \frac{1}{RC_{out}} + \frac{1}{LC_{out}}} \quad \dots\dots\dots(4-24) \end{aligned}$$

となる。

以上より、PSIM の 2 次フィルタの設定に必要な固有周波数と減衰率は、(4-21)式と(4-22)式を照らし合わせ、それぞれ設定することができる。

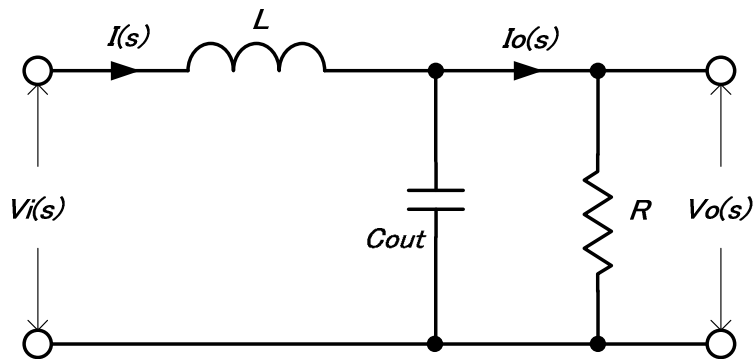


図 4-5 s 領域における LC フィルタと負荷の構成

4-7-2 デジタル制御動作のモデル化

デジタル制御式は、4-6 節において、(4-20)式を使用することが決定された。PSIM にはデジタル制御ブロックが用意されており、この式を z 関数に置き換えて適用する。また、デジタル制御ブロックにはゲインがかかるようにし、その数値は3倍とする。また、デジタル制御では、演算の他に、ゼロ次ホールド、遅れ時間を考慮する必要がある^(F)。本項では、デジタル制御 POL の周波数応答特性を解析するにあたり、図 4-6 に示す制御ブロック図を想定した。各ブロックの意味は以下の通りである。なお、図 4-6 における V_{ref} は目標電圧、 V_{out} は出力電圧を意味する。

- ・ ADC : 出力電圧信号の AD 変換
- ・ $C(z)$: 制御回路の離散型伝達関数
- ・ ZOH : 制御出力のゼロ次ホールド
- ・ $G_p(s)$: 主回路の伝達関数

デジタル制御式は、離散型の伝達関数で表現され、また、スイッチング周期 $2\mu S$ ごとに制御演算がなされる。(4-20)式より、デジタル制御の伝達関数 $C(z)$ は、

$$C(z) = \frac{3 \cdot (3.896z^2 - 7.2033z + 3.3278)}{z^2 - 1.375z + 0.375} \quad \dots\dots\dots(4-24)$$

と表される。

分子と分母における離散式の係数は、PSIM が用意する伝達関数ブロックにおいてサンプリング周波数と共に設定する。

また、制御量の ZOH (ゼロ次ホールド) は、

$$ZOH(s) = \frac{1 - e^{-st}}{s} \quad \dots\dots\dots(4-25)$$

と定義されており、また、ADC やゲートドライバ、MOSFET 等における delay (時間遅れ) は、

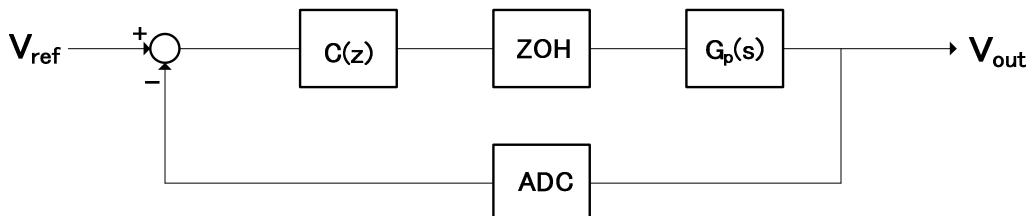


図 4-6 デジタル制御 POL の制御ブロック図

$$\text{delay}(s) = e^{-st} \quad \dots\dots\dots(4-26)$$

で与えられる。

PSIM の離散型伝達関数のブロックは、ゼロ次ホールドの機能を備え、さらに時間遅れについては専用の素子が用意されているため、これを使用する。

近似小信号モデルでは、演算開始や ADC のデータ取り込みタイミングを設定できないので、実機動作との差を検討する必要がある。この一環として、F2808 が ADC のデータを取得する際の割り込み処理時間を新たに導入する。

F2808 を搭載した基板を使用して、割り込み処理にかかる時間を測定した結果、約 30 サイクル、すなわち 300ns かかることが分かった。ADC からデータを取り込むタイミングは割り込み処理の終了時点となるが、これまで割り込み処理に要する時間を意識していなかったため、結果として遅れ時間は想定より少なくなった。ADC-CLK 速度は第 3 章で 10MHz に設定することを決定しており、S/H と AD 変換による遅れは、合計すると平均約 600ns となる。さらに移動平均処理による遅れも加えると、合計して約 700ns になると考える。実際は、割り込み処理後に ADC のデータを取得するので、300ns を引いた 400ns が ADC の遅れ時間と判断する。なお、この 300ns については、第 5 章でより詳しく説明する。

図 4-7 に PSIM による制御動作のタイミングチャートを示す。PSIM の離散伝達関数ブロックは、実機のような個々の機能毎にタイミングは設定できず、常に 1 周期遅れが存在する。すなわち、図 4-7 に示すように、演算開始から PWM パルス幅が更新されるまでのホールド時間が 1 周期に及び、結果として 1 周期遅れの制御と同等になる。

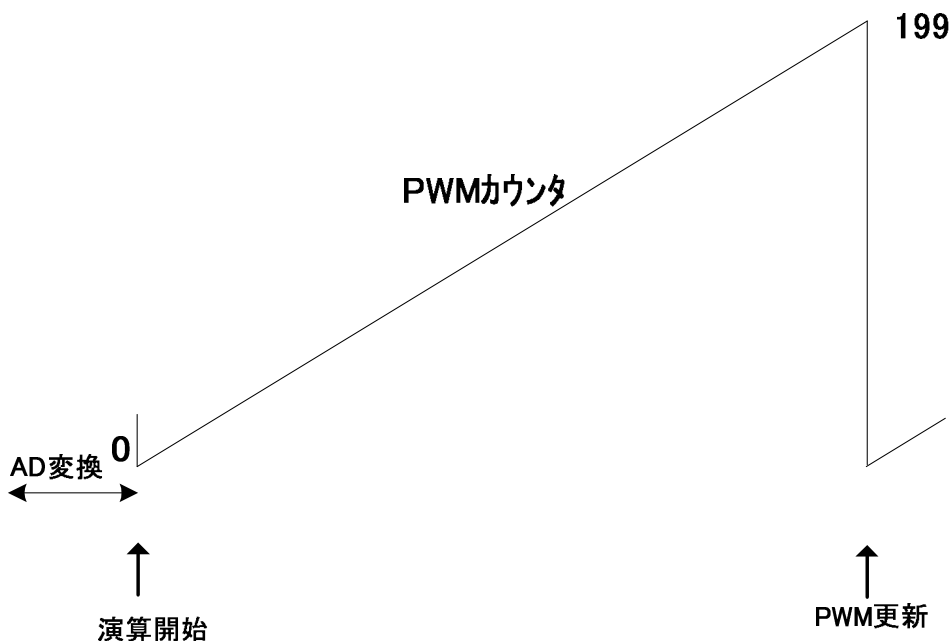


図 4-7 シミュレーションのタイミングチャート

4-7-3 シミュレーションによる周波数応答特性の評価

4-7-1 項、4-7-2 項で説明した、主回路、並びに、演算動作による遅れ要素を取り入れた、近似小信号モデルを図 4-8 に示す。本モデルは、LC フィルタと負荷、デジタル制御動作、ADC やゲートドライバ等の遅れを含んだ実機動作の近似化、および、ボード線図測定時間の短縮を意図している。なお、図中の 400ns は ADC の遅れ時間、50ns はゲートドライバと MOSFET による遅れ時間を表している。

負荷を 2.5A, 5A, 7.5A, 10A と変化させた場合のボード線図から得られた周波数応答特性のデータを表 4-1 に示す。負荷電流によりゼロクロス周波数と位相余裕に差が出るのは、ダンピングファクタの影響であると考ええる。ゼロクロス周波数は 40kHz 程度であり、スイッチング周波数 500kHz の 1/10 以下となっている。また、位相余裕は、概ね 20 度から 30 度の範囲であり、ゲイン 3 倍が実機動作での限界に近い値であることが予想される。

本項の小信号特性の解析結果から、本章で導出したデジタル制御式、および、2 章で設定した主回路や制御回路のハードウェアによって、デジタル制御 POL は問題なく動作すると判断する。なお、構築した近似小信号モデルによるボード線図の測定時間は、1 つの条件につき、長くても 30 分程度と、従来の測定方法に比べて大幅に短縮することができた。

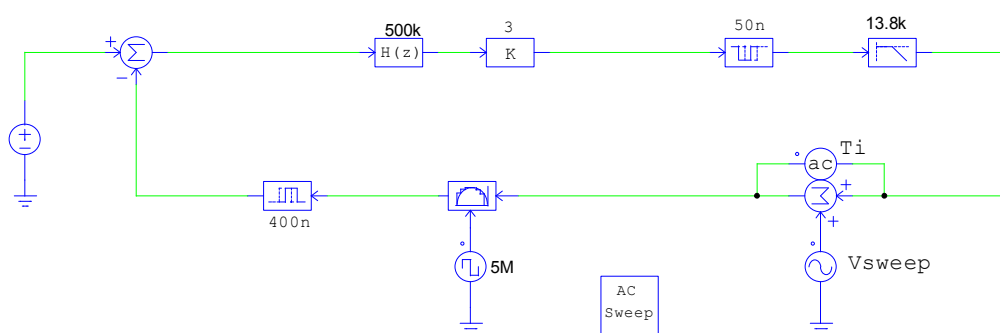


図 4-8 遅れ要素を配慮したシミュレーションによる近似小信号モデル

表 4-1 PSIM で測定した POL の周波数応答特性

負荷電流(A)	ゼロクロス周波数 (Hz)	位相余裕 (度)
2.5	41.57k	20.24
5	41.51k	22.48
7.5	41.40k	24.75
10	41.27k	27.06

4-8 むすび

本章では、高速応答用デジタル制御式の導出と、導出した制御式に対する妥当性の検証を実施した。POL が高速な負荷急変に対処するには、LC フィルタの定数に対応し、かつ、高速処理に適した制御式を確立しなければならない。デジタル制御式を得るため、まず、高速応答を目的とした高帯域位相補償が可能なアナログ回路を設計し、双一次変換による z 領域への離散化と、DSP へのプログラム実装が可能な差分方程式への導出手順を示した。また、導出した制御式は $n-3$ 次にあたる多項式であるため、より演算時間を短縮させる検討を行い、次数が 1 つ少ない制御式を提案した。この制御式については、回路シミュレータを用いて、定常動作と負荷急変の評価を通じて、問題のないことを確認した。

さらに、デジタル制御 POL に対する安定性の根拠を得るため、回路の遅れ要素が応答特性に及ぼす影響を調べる必要があった。このため、主回路、制御回路、制御遅れ時間を統合した近似小信号モデルを作成し、上記と同様に、シミュレーションによる周波数応答特性の解析を実施した。解析結果より、デジタル制御 POL は、実機でも動作可能であることが確認できた。

次の第 5 章では、DSP によるデジタル制御 POL の試作機を作成し、その特性評価を実施する。さらに、ADC によるデータの取得タイミングや演算処理時間を詳細に調査し、その上で、制御動作における遅れ時間を短縮する手法を提案し、実機による確認を行う。

引用文献

- (1) 田本, 曾禰:「スイッチング電源におけるアナログ PI・PID 制御のデジタル化に関する検討」, 高速信号処理応用技術学会誌 第 8 巻 第 1 号, pp.45-53 (2005)
- (2) 田本, 曾禰:「実験計画法を用いたデジタル制御スイッチング電源の制御パラメータ決定法」, 高速信号処理応用技術学会誌 第 9 巻 第 2 号, pp.36-42 (2006)
- (3) Chickamenahalli, Mahadevan, Stanford, Merley:「Effect of target impedance and control loop design on VRM Stability」, in Proc. IEEE APEC Conf, pp.196-202 (2002)
- (4) Oliva, Ang, Bortolotto:「Digital Control of a Voltage-Mode Synchronous Buck Converters」, IEEE Transactions on Power Electronics. Vol. 21 No.1, pp.157-163 (2006)
- (5) Iannello, Luo, Batareseh:「Small-Signal and Transient Analysis of a Full-Bridge, Zero-Current-Switched PWM Converter Using an Average Model 」, IEEE Transactions on Power Electronics. Vol.18 No. 3, pp.793-801 (2003)
- (6) 菅原, 山田, 西尾, 江戸, 佐藤, 山沢:「携帯機器用マイクロ DC-DC コンバータの特性解析と過渡応答の改善」, 電学論 D Vol.128 No.12 ,pp.1373-1380 (2008)
- (7) Duan, Jin:「Digital Controller Design for Switchmode Power Converters」 in Proc. IEEE APEC Conf, pp.967-973 (1999)
- (8) Peterchev, Sanders:「Quantization resolution and limit cycling in digitally controlled PWM Converters」, IEEE Transactions on Power Electronics. Vol.18 No.1, pp.301-308 (2003)

参考資料

- (A) Pressman:「Switching Power Supply Design Second Edition」, McGraw-Hill, pp.451-460 (1998)
- (B) Texas Instruments Inc:「TPS4005x Data Sheet (SLUS593B)」 (2004)
- (C) International Rectifier:「IR3624MPBF Data Sheet (PD94714 revA)」 (2006)
- (D) Intersil Inc:「ISL6540A Data Sheet (FN6288.5)」 (2008)
- (E) Powersim Inc.:「PSIM User's Guide (04410-A2-020A)」 (2010)
- (F) 萩原:「デジタル制御入門」 コロナ社, pp.9-12 (1999)

第5章 実機動作に伴う制御遅れ時間の短縮に関する検討

5-1 まえがき

本論文の第2章から第4章において行った数々の検討により、実機試験の準備は整った。第2章では、デジタル制御POLの主回路、制御回路のハードウェアを決定し、第3章では、DSPが内蔵するADC・DPWMに対して、最適と考えられる使用方法を定めた。続いて第4章では、DSPにプログラム実装される高速応答用のデジタル制御式を導出した。本章以降で実施される実験では、POLの実機が必要となるが、既に大半の使用部品を決定しているため、試作は可能である。なお、実機のPOLが有する基本的な応答特性を把握するには、各種の出力電圧やスルーレートを条件にして確認する必要がある。さらに、得られた負荷急変時の出力電圧変動に対し、これをさらに抑制するための方策が検討される必要がある。

POLの実機を具体化するにあたり重要なのは、製品に即した外形サイズである。制御回路を実現するためにFPGAが用いられているデジタル制御POLでは、主回路とは別の基板に、この回路が用意されている（例えば⁽¹⁾）。制御手法の開発のみであれば、この方法で問題はないが、製品レベルの実機開発を目指すのであれば、同一基板上に主回路と制御回路が用意されなければならない。すなわち、POLの物理的な要件としては、全ての使用部品が小形化された、高密度実装の構造が求められる。

一方、実機実現には、制御ICであるDSPの使用方法についての知見も重要となる。本論文では、デジタル制御ICとしてDSPを使用するため、全ての制御動作がプログラムによって実現されなければならない。第2章で選定したF2808は、電源制御に必要なADC・DPWMを内蔵しており、これら周辺機能と演算機能が、プログラム動作を通じて連携が取られている必要がある。DSPの性能を発揮するには、内部のハードウェアを動作させるプログラムが重要である。これは、効率の良い動作実行を意図した、プログラム記述にかかっている。また、DSPの高速演算性能を利用して、POLの高速応答性能を向上させるには、ADCによるデータの取得動作や制御量演算処理による遅れ時間を減らすことが肝要である。これには、プログラム動作が時間的に管理されていることが必要と考える。

本章では、まず、実機動作試験用にDSPを搭載した1/4ブリックサイズのPOLを試作する。続いて、制御プログラムの基本アルゴリズムを確定し、実機評価を行う。この評価では、数種類の出力条件、および、負荷条件を設定し、負荷急変時の出力電圧変動値を測定することにより、デジタル制御POLの基本応答特性を確認する。さらに、DSPに実装された制御プログラムにおける、ADCからのデータ取得動作、並びに、制御量演算動作について、各処理時間を調査する。次に、これらの処理時間を把握した上で、さらなる応答特性の改善を目的に、制御処理に伴う遅れ時間を短縮し、出力電圧変動をより抑制する手法を提案する。提案する手法の有効性は、変動値が基本応答特性より良好に抑制され、目標の100mV以下を達成することにより示される。

5-2 DSP によるデジタル制御回路

本論文のデジタル制御では、第1章の図1-1で示したPOLの回路に対して、Controllerの箇所が図5-1に示すDSPを主体とする回路に置き換わる。DSPの入力、すなわちADCは、POLの出力電圧検出部 V_{out} に接続される。また、DSPの出力であるDPWMは、ゲートドライバを経由して主回路のMOSFETに接続され、電源回路が構成される。このゲートドライバは、アナログ制御と同様に、MOSFETを駆動するため、電流増幅とレベルシフトの動作がなされる。なお、アナログ制御とデジタル制御の回路について、別個にゲートドライバを設定した理由は、実現回路（使用する制御IC）によって、ゲートドライバに対する入力電圧や電流増幅が異なる場合が想定されるためである。

図 5-1 では、ADC が直接 POL の出力に繋がる表現となっているが、実際は、ノイズ除去用の低時間定数の RC フィルタや、保護用のクランプダイオードが接続される。しかし、これらは回路として副次的な要素であるため、図からは除外している。図 5-1 と図 4-1 を比較すると、周辺機能を備えた制御用の DSP である F2808 を使用することで、部品点数が大幅に削減されることが理解できる。これは、アナログ制御に対してデジタル制御が有する長所の 1 つである⁽²⁾。

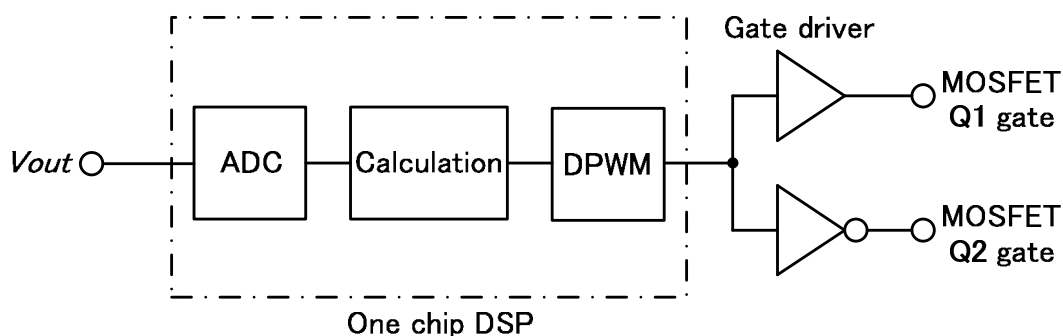


図 5-1 DSP を用いたデジタル制御回路

5-3 1/4 ブリック POL の試作

本節では、実機試験用に試作した 1/4 ブリックサイズの POL について説明する。本 POL は 4 層のプリント基板上に構成されており、DSP はフラットパッケージタイプの F2808 を使用している。写真 5-1(a),(b)にその画像を示す。写真 5-1(a)は主回路面であり、第 2 章で選定したチョーク、出力コンデンサ、同期整流用 MOSFET、入力コンデンサが実装されている。なお、この面には DSP への電源供給用に LDO^(A)も搭載されている。一方、写真 5-1(b)は制御回路面であり、F2808、CLK 発振用セラロック^(B)、ゲートドライバ、リファレンス IC^(C)等が搭載されている。



(a) 主回路面



(b) 制御回路面

写真 5-1 1/4 ブリックサイズ POL

開発環境からのプログラム実装は、F2808と信号線で結線されている14ピンのコネクタに対して、JTAGインターフェイスを有するデバッグを接続して行われる。POLの入力、並びに、出力箇所は、電力用の太いピンで外部に接続されるようにしており、装置内のユニット基板にそのまま実装されることを意図した構造である。POLの入力への接続は、写真5(a)に対して向かって右側のピンに対してなされる。一方、出力への接続は、同写真において向かって左側のピンからなされる。すなわち、POLの入力から出力に至る電流経路は、ループを作ることなく、最短距離で実現されている。

なお、試作した1/4ブリックPOLの部品実装を全体的に評価すると、10Aの負荷電流に対応するためパターン面積の確保は要するが、面積にはかなりの余裕があることが認められる。すなわち、DSPとLDOの部品サイズをより小さくすれば、POLのサイズを縮小できることを意味する。

以上、説明したように、実機のPOLが準備された。次節では、DSPを用いたプログラム動作によるデジタル制御を実現する方法について説明する。

5-4 制御アルゴリズムの構成

本節では、DSPによって、POLをデジタル制御動作させる制御プログラムの基本構成について説明する。制御プログラムの概略フローチャートを図5-2に示す。以下、フローチャートに沿って、その処理内容を説明する。

- ・初期設定：ADC・DPWM・スイッチング周期・出力電圧の目標値 V_{ref} ・デジタル制御式の係数 K_0 から K_4 の設定を行う。この処理は、DSPが、ハードウェアリセット解除後に1度だけ実行される処理であり、その後は通らない。

- ・1周期のカウント判定：POLは500kHzのスイッチング周波数で動作するため、2 μ sの制御周期を内部のカウンタによって判定する。すなわち、2 μ sが経過しないと次の制御処理が始まらない。

- ・ADCのデータ取得：ADCにより、デジタル値に変換されたPOLの出力電圧を該当するメモリから読み込む。このデータは最小で500ns、最大で700nsの遅れ時間をもっている。なお、制御プログラムでは、この読み込みを割込み処理によって行う。

- ・誤差量の演算：目標値 V_{ref} に対して、ADCで取得した出力電圧値との差を算出する。この値は誤差量と呼ばれ、 $E(n)$ と表す。

- ・制御量演算：第4章で導出したデジタル制御式である(4-20)式を用いて、制御量の演算を行う。なお、 $E(n-1)$ は前制御周期の誤差量を、 $E(n-2)$ はさらに1つ前の前々制御周期における誤差量を意味する。 $U(n-1)$ は前制御周期の制御量を、 $U(n-2)$ はさらに1つ前の前々制御周期における制御量を意味する。

- ・後処理：次周期における制御量演算のために、誤差量と制御量を1つ前の制御周期に置き換える処理を行う。

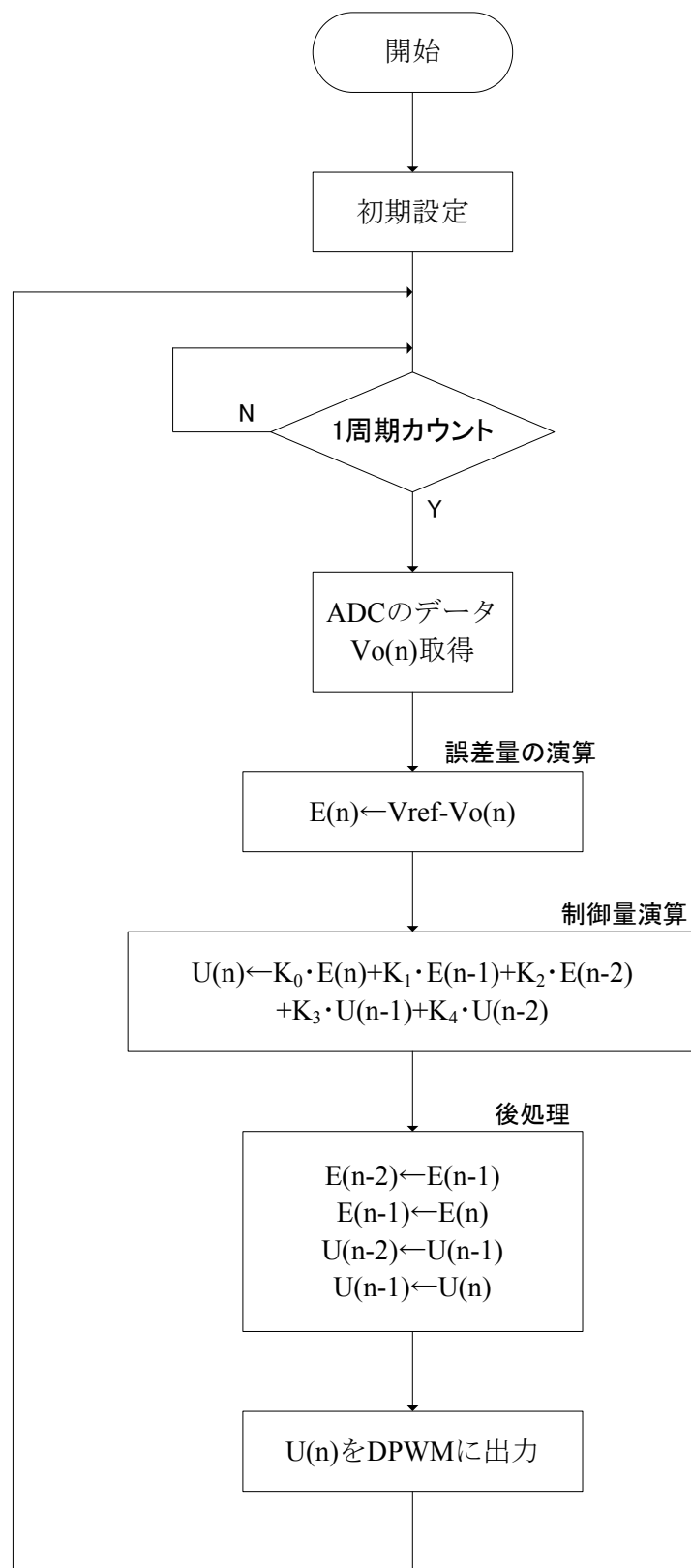


図 5-2 制御プログラムの概略フローチャート

・DPWMへの出力：演算された制御量は、第3章で説明した数値処理を実施後に、DPWMへ出力する。DSPが内蔵するDPWMは、制御量をPWM信号に変換して出力する機能をもつ。DPWMの動作そのものはハードウェアであり、初期設定後はプログラムの介入はない。

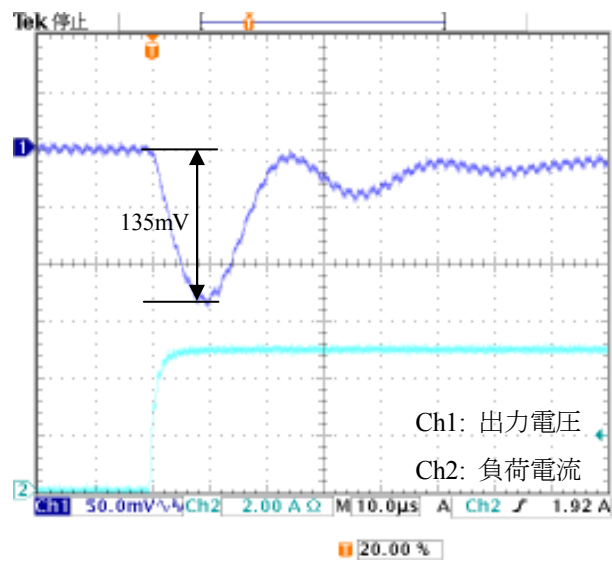
以上、説明した制御アルゴリズムをプログラム化して F2808 に実装する。次節では、試作した POL を動作させ、負荷急変特性を確認する。

5-5 負荷急変特性の評価

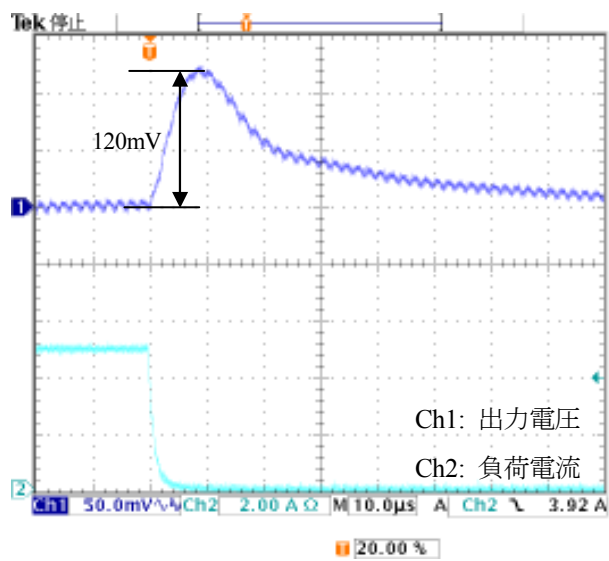
これまで述べたように、デジタル制御POLを実現するための、ハードウェアとソフトウェアの準備が整った。本節では、第2章2-5節で確立した環境において実機試験を行う。まず、POLに対して負荷急変を発生させた時の波形を図5-3(a),(b)に示す。なお、実験条件は、入力電圧12V、出力電圧1V、負荷電流変動範囲0から5A、スルーレート10A/μsである。また、制御式のゲインは3となっている。図5-3(a),(b)より、負荷急増時の出力電圧変動は135mVであり、負荷急減時には120mVであることが分かる。この値は、本論文で対象とするデジタル制御POLの基本特性となる。なお、波形測定用のオシロスコープにおけるCh1（チャンネル1）はPOLの出力電圧波形であり、Ch2（チャンネル2）は負荷電流波形である。

第2章において、負荷急増時の出力電圧値を計算する式を示したが、2-4-2項で評価した遅れ時間を含む計算で得られた数値144mVに対し、実機では約10mV程度低いことが分かる。このことから、実機におけるPWM信号の増加率は、式で用いた数値よりやや大きいことが理解できる。なお、実機の周波数応答特性を測定した結果を表5-1に示す。第4章の表4-1で示したシミュレーション結果と表5-1の結果を比較すると、位相余裕はほぼ同じであることが分かる。ゼロクロス周波数の差については、シミュレーションでは1周期の分解能を非常に細かく取れるのに対し、実機では1周期のカウント数がCLK周波数と固定小数点により制限されるためと推測している。すなわち、応答の速さは、単位時間当たりで実現可能なPWM信号の変化量であり、これがシミュレーションと実機の差となって現れたと考える。

以下、POLの出力電圧値、および、負荷急変のスルーレートを変更した場合、出力電圧変動値がどのように変化するかを評価する。出力電圧は、各種 LSI 負荷の電源電圧を考慮し、1.0V、1.2V、1.8V、2.5V の4種類を設定する。また、スルーレートは、0.1A/μs、1A/μs、5A/μs、10A/μs、20A/μs の5種類を設定し、さらに負荷電流の変動範囲は、0 から 5A、および、5A から 10A の2種類とする。なお、入力電圧は 12V 一定とする。図 5-4(a),(b),(c),(d)に上記の条件で実施した負荷急変特性をまとめたデータを示す。図の横軸はスルーレートであり、縦軸は出力電圧変動値である。図 5-4(a),(b),(c),(d)全ての特性についていえるのは、スルーレートに対して出力電圧変動は必ずしも比例して増加せず、10 A/μs 前後でほぼ頭打ちになることである。10 A/μs と 20A/μs における数値は、ほとんど変わらない。本論文では、スルーレートの基本数値を 10 A/μs としているが、この数値が妥当であることが、これらの図から理解できる。また、負荷電流の変動範囲に関しては、0 から 5A の方が 5A から 10A よりも概して高い。この原因は、負荷の増加により主回路のダンピングファクタが増大し、帯域が広がっているためと推測する。



(a) 負荷急増

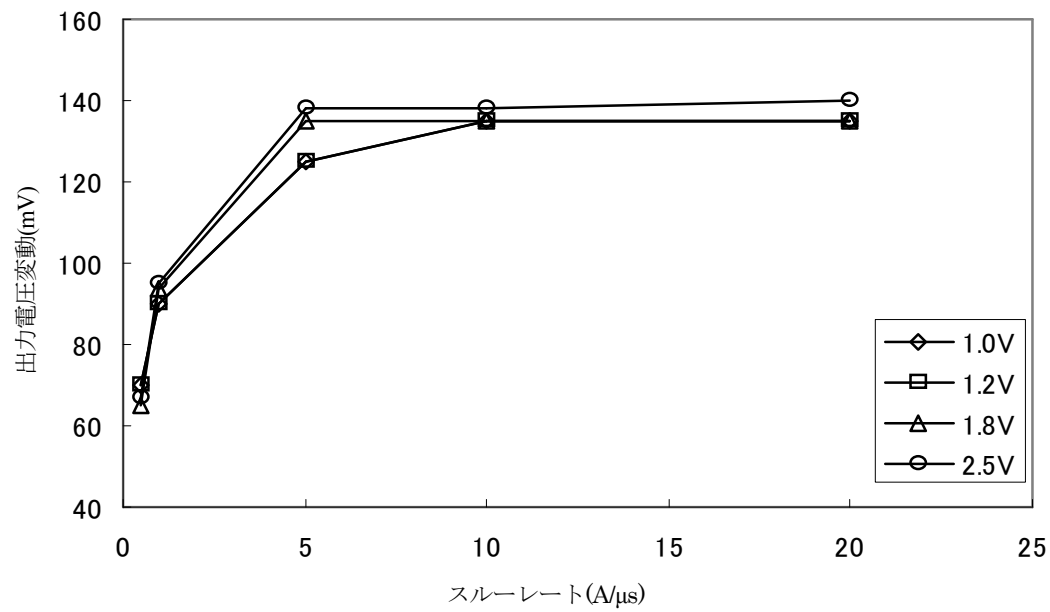


(b) 負荷急減

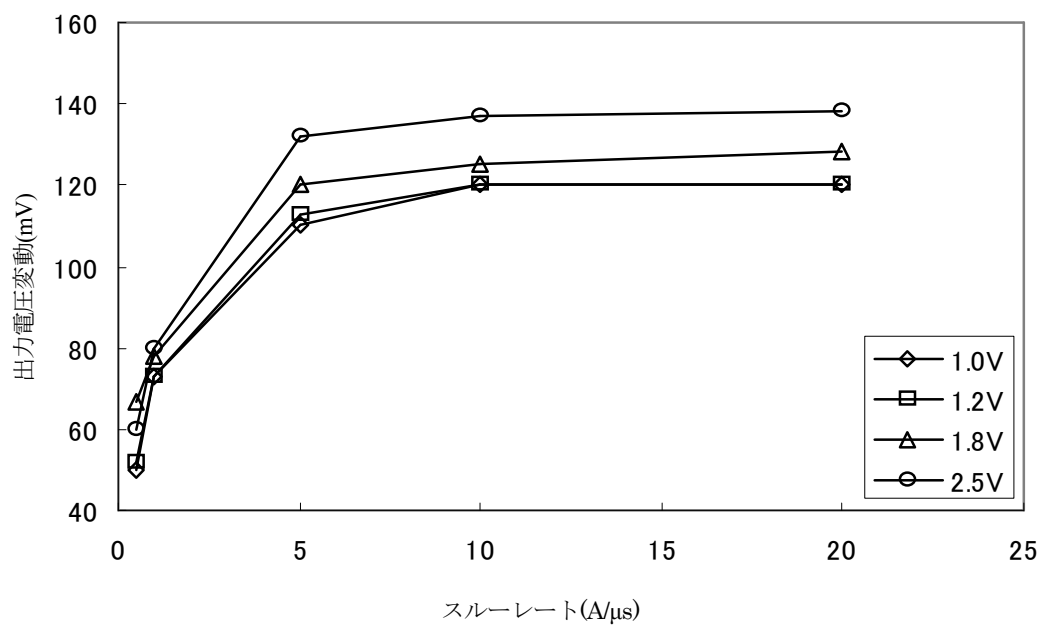
図 5-3 出力電圧 1V に設定したデジタル制御 POL の負荷急変波形

表 5-1 デジタル制御 POL の実機周波数応答特性

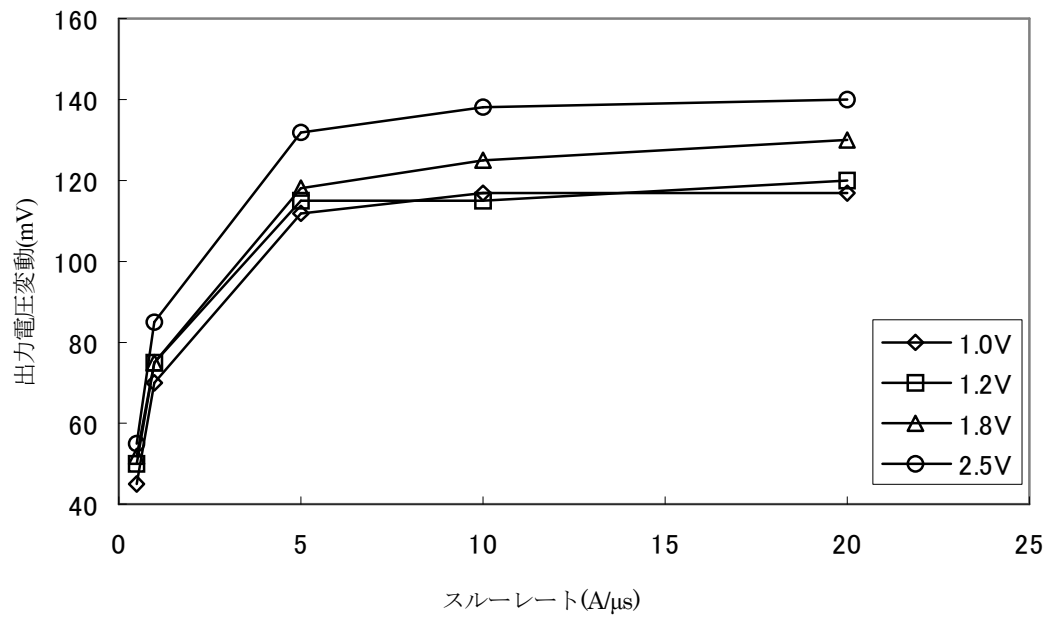
負荷電流 (A)	ゼロクロス周波数(Hz)	位相余裕 (度)
5	34.57k	25.05
10	36.19k	24.47



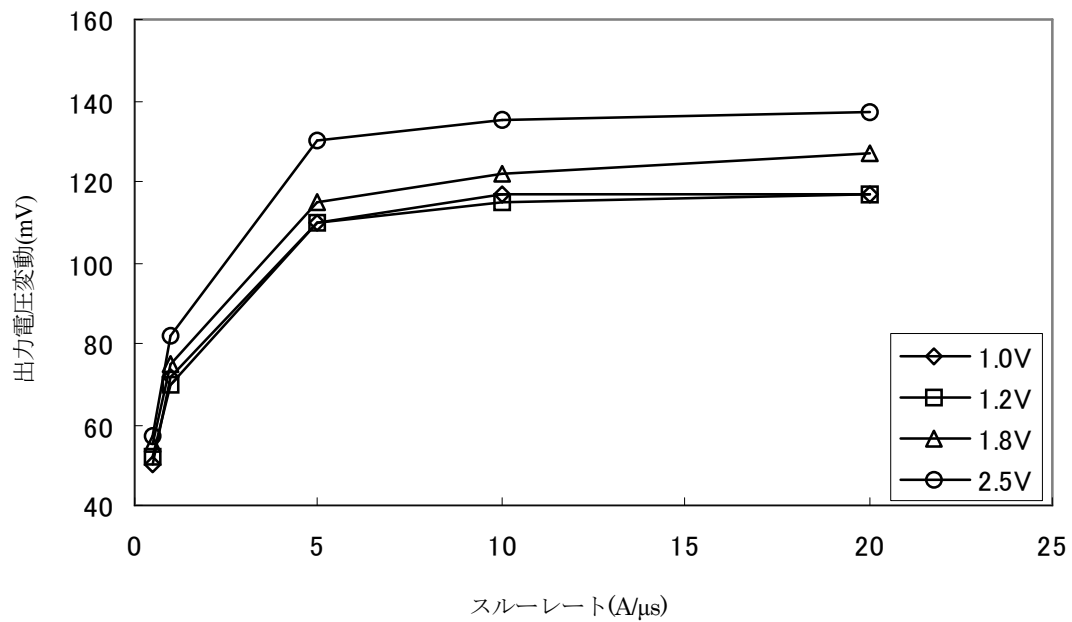
(a) 0-5A 負荷急増



(b) 5A-0 負荷急減



(c) 5A-10A 負荷急増



(d) 10A-5A 負荷急減

図 5-4 各種出力電圧とスルーレートに対する負荷急変特性

ここで、出力電圧の設定に対して、出力電圧変動値に差が出ている原因について考察する。アナログ制御の場合は、出力電圧の検出部に抵抗分圧回路を設けるため、系のゲインが変化するが、本論文のデジタル制御回路は、抵抗分圧を行っておらず、出力電圧信号がそのままADCに入力されるため、ゲインの変化はない筈である。出力電圧が大きくなるにつれて出力電圧変動値が多少増加するのは、POLの入出力電圧差によるリップル電圧の増大が関係しているものと思われる。しかし、デジタル制御POLは、目標電圧をプログラムによって設定できるため、アナログ制御ほどのゲインの変化はなく対応できることが確認できた。

5-6 制御処理時間の調査

ここまで、実機のデジタル制御POLを動作させ、負荷急変に対する特性評価を行った。DSPを用いたデジタル制御POLは、問題なく作動することは確認できたが、より出力電圧変動を抑制するためには、いくつかの検討を行う必要がある。この検討に際しては、F2808で実行されている制御処理を個別に把握する必要があると判断する。このため、F2808に実装された制御プログラムにおける、各処理に要している時間を実機で調査した。得られたデータを図5-5に示す。

POLのスイッチング周期 $2\mu\text{s}$ に対して、DSPのCLK周波数は100MHzであるため、1制御周期を決めるカウンタの上限値は、開始を0とすると、199になる。PWM信号量が確定するのは、制御量演算が終了したタイミングであり、また、後処理終了とは、次周期における制御量演算のために、誤差量や制御量を1つ前の周期として配列を入れ替える処理の完了を意味する。電源回路動作としてPWM信号が更新されるのは、次の周期からとなる。1周期のカウントが0になったタイミングで制御プログラムは割り込みを発生し、ADCで取得したデジタル値に変換されたPOLの出力電圧データを該当するメモリへ読みに行く。このADCの取得データは、制御量演算に用いられ、得られた制御量はDPWMへ出力される仕組みになっている。なお、図5-5において割り込み発生からPWM更新に至る処理は、図5-2で示したフローチャートに沿っている。

各処理に要する時間を計測したところ、割り込み処理は約30サイクルであり、したがって300nsを要する。同様に、制御量演算には470ns、後処理には360nsを要することが判明した。すなわち、全ての処理時間を合計すると113サイクルで1130nsとなる。ADCからデータを取り込むタイミングは、割り込み処理の終了時点となるが、割り込み処理にかかる時間は、結果としてADCの遅れ時間を少なくすることになる。ADC-CLK速度は10MHzに設定され、S/H動作とAD変換による遅れを合せると、平均して約600nsとなり、さらに移動平均の遅れも加えると、合計して700nsとなることが、第3章における解析で判明している。したがって、実際は割り込み処理後にADCのデータを取りに行くので、300nsを引いた400nsがADCの遅れ時間となるのが、第4章の4-7-2項における数値の理由である。

本POLは、500kHzの固定スイッチング周波数で動作し、さらに、処理は制御周期の冒頭から開始するため、遅れ時間は $2.4\mu\text{s}$ に及ぶ。POLの応答帯域を上げるには、まず、この遅れ時間を減らさなければならない。本節で得た制御遅れ時間の具体的な内訳をもとに、次節以降で、

この遅れ時間を短縮する手法を検討する。

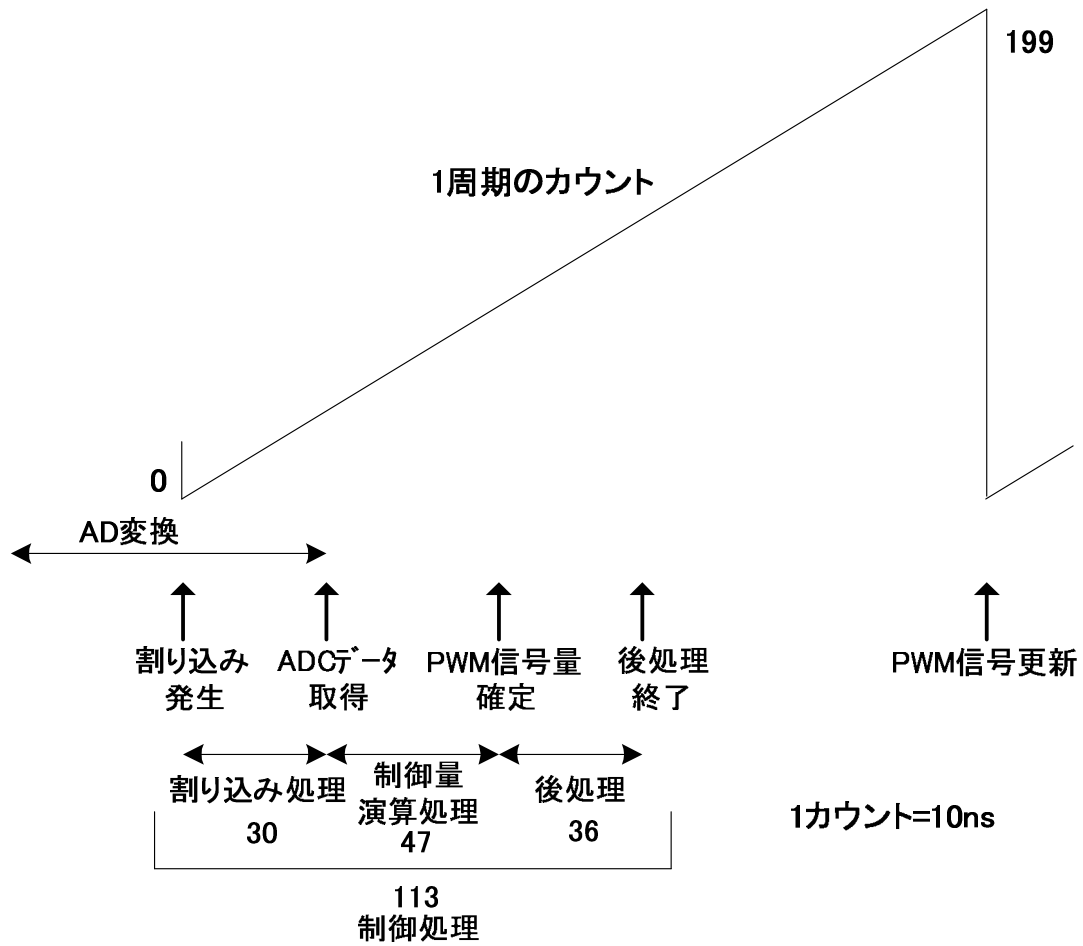


図 5-5 DSP による制御処理のタイミングチャート

5-7 遅れ時間を短縮する手法の提案

本節では、前節において調査したDSPにおける各制御処理に要する時間に対して、これを短縮する手法を検討する。制御処理は、図5-5で示したように、それぞれ分割してみなせるので、これらを個別に検討することが可能である。以下、POLの応答性能を向上させるため、制御処理における遅れ時間を短縮させる手法を提案し、実機試験によってその効果を確認する。

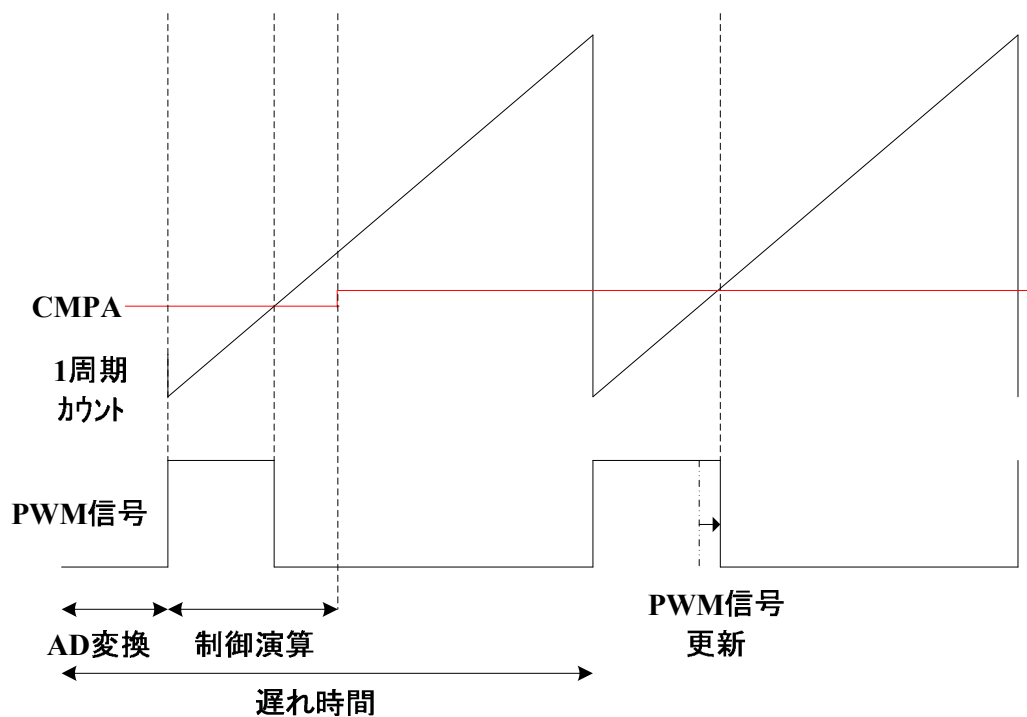
5-7-1 データ取得タイミングの検討

通常、固定スイッチング周期で動作するデジタル制御POLにおいて、PWM信号が変更されるのは次の周期からとなる。したがって、遅れを減らすためには、できるだけ次周期に近い出力電圧値を用いて、次周期でPWM信号として反映される制御量を演算させることが求められる。すなわち、ADCが出力電圧を取得するタイミングは、可能な限り次周期に近い方がよいことになる。ここまでの制御処理では、制御周期の開始とともにPWM信号をオンすると同時に、ADCで得られたデータをメモリから読み込む動作となっている。このタイミングチャートを図5-6(a)にあらためて示す。1制御周期を決定するカウントアップに対して、PWM信号幅を決める閾値は、CMPAという名称で示されている。現周期において演算された制御量は、DPWMにおいてCMPAから変換され、次周期においてPWM信号として反映される。したがって、制御遅れ時間は、1周期にADCの変換時間（ADCの遅れ時間-割り込み処理時間）を加えたものとなる。前節でも述べたが、これが2.4 μ sという値である。

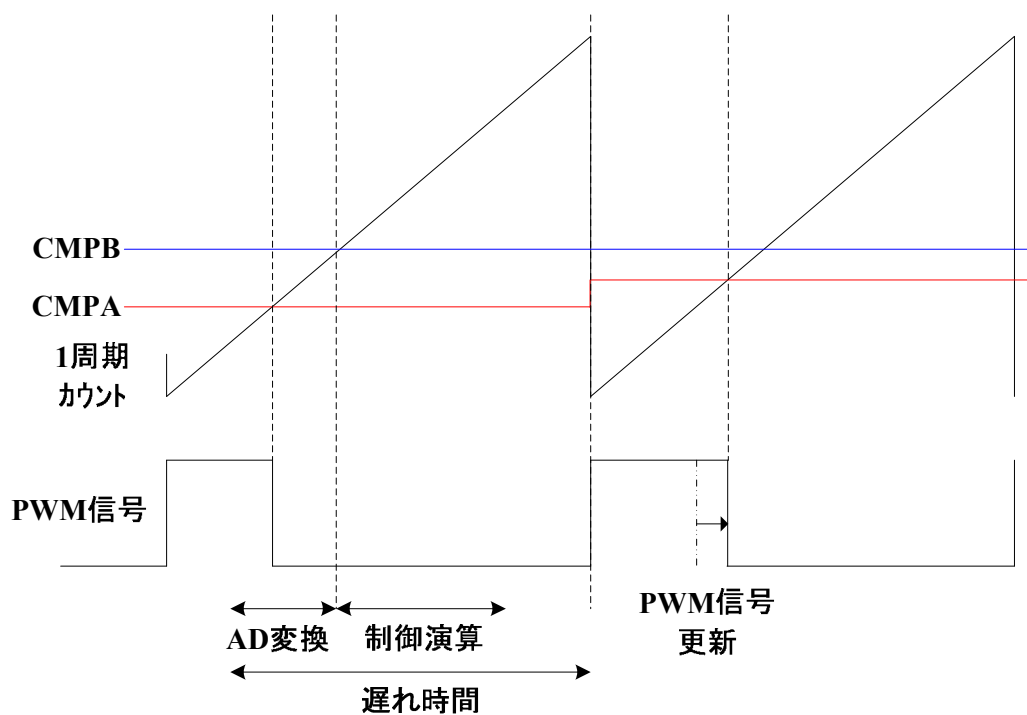
図5-6(a)の処理を基本に、遅れ時間を短縮するために以下の手法を提案する。ADCが取得するデータを、より次周期に近付けるため、上記のCMPAとは別にCMPBという名称の閾値を設ける。この追加したCMPBを用いたデータ処理のタイミングチャートを図5-6(b)に示す。なお、CMPBはプログラムによる値の変更が可能であり、自由に調整することができる。図5-6(a)と図5-6(b)を比較すると、CMPBを新たに設定してADCのデータ取得タイミングを次周期に近付けることにより、遅れ時間がより短くなることが理解できる。CMPBの値は199まで設定することができるが、実際は図5-5で示したように、制御処理時間が1130nsかかることや、DPWMの処理も考慮すると70程度までであることが分かった。したがって、CMPBによるADCのデータ取得タイミングの調整により、遅れ時間は最大700nsを短縮できることが見込める。

5-7-2 演算処理分割の検討

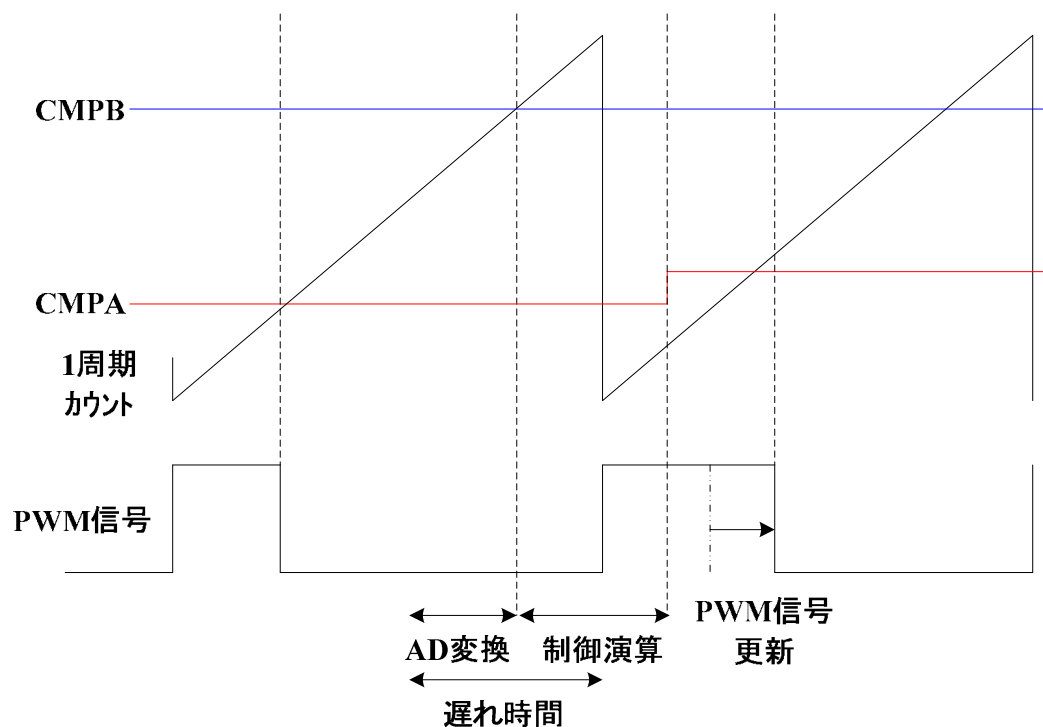
制御遅れ時間を減らすため、ADCのデータ取得動作を次周期に近付けなければならないことは、前項で理解できたが、PWM信号量の更新を次周期までに行うという制約があるため、遅れ時間をこれ以上短縮することはできない。CMPB値をより大きくするためには、制御演算に対しても検討を行う必要がある。図5-5で示したように、制御演算は、制御量演算処理と後処理に大別することができる。また、PWM信号を生成するDPWMは、次周期までに制御量を確定していればよい。すなわち、後処理は次周期の制御処理が始まるまでに終了していればよいということになる。このため、図5-6(c)に示すように、制御処理を現周期と次周期にまたがらせ



(a) データ処理が制御周期の開始と共に始まるタイミングチャート



(b) ADC のデータ取得を実行する閾値を新たに設けたタイミングチャート



(c) 演算処理を分割し ADC のデータ取得を遅らせたタイミングチャート

図 5-6 DSP におけるデータ処理のタイミングチャート

て実行し、後処理を次周期へ移動する手法を提案する。この処理により、CMPBの値をより大きくすることが可能となり、遅れ時間をさらに短縮できることが期待できる。また、図5-7にそれらの処理内容と処理時間を付記したタイミングチャートを示す。後処理を次周期に移動させたため、CMPBの値をより大きくとれることが、この図からも理解できる。

次項では、5-7-1 項と 5-7-2 項で提案した制御手法に対して、実機試験により、出力電圧変動の抑制効果を確認する。

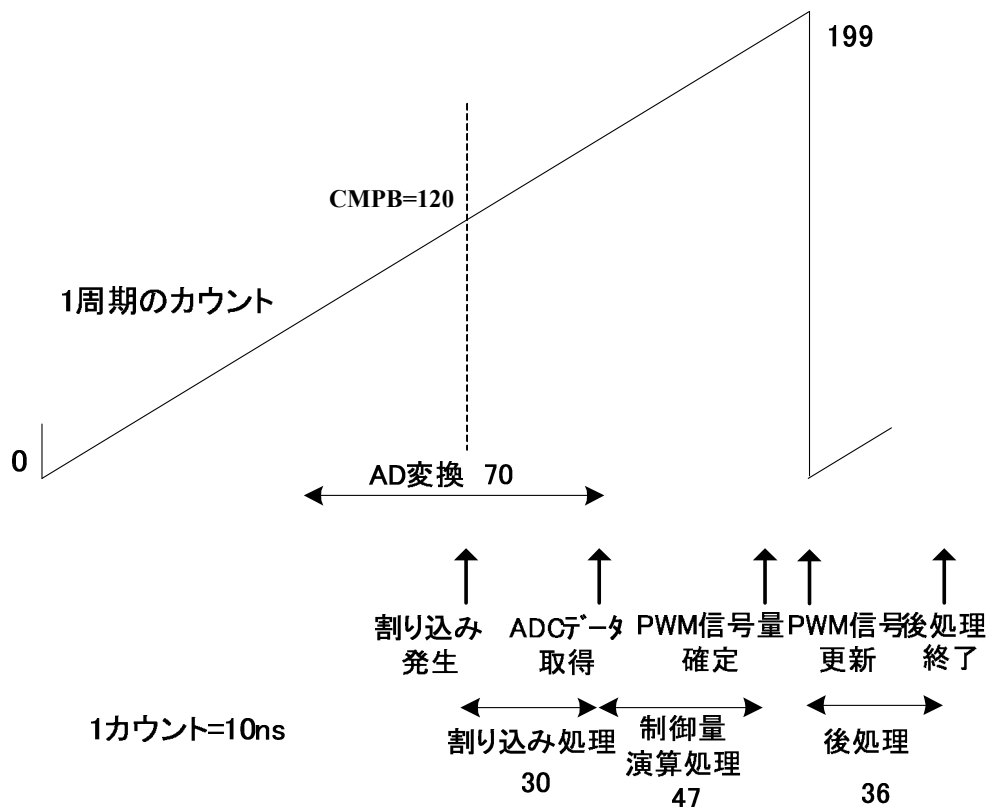


図 5-7 DSP における制御演算遅れを改善する処理のタイミングチャート

5-7-3 実機確認

A. ADC データ取得タイミングの変更

図5-6(b)で示した提案するアルゴリズムをプログラム化してF2808に実装し、POLを動作させて負荷急変を発生させ、出力電圧変動を観測する。実験の条件は、図5-3(a),(b)に示した負荷急変特性の測定と同様で、以下に示す通りである。

入力電圧12V，出力電圧1V，負荷電流変動範囲0から5A，スルーレート10A/μs

CMPB の値を 0, 35, 70 と変化させ、負荷急増、および、負荷急減に対して得た、出力電圧の変動結果を図 5-8(a),(b)に示す。この図(a),(b)から、遅れ時間が短縮されたことにより、応答特性が改善され、出力電圧変動が抑制されたことが分かる。なお、実機において CMPB が 35 と 70 の条件で周波数応答特性を確認しようとしたところ、得られたデータに不具合が発生した。原因を調査したところ、この期間はちょうど主スイッチである MOSFET がオンオフ動作をなしていることが判明した。このため、測定データにはスイッチングノイズが多く含まれ、ボード線図の正確な測定ができないことが分かった。ADC で取得するデータは、できるだけノイズが

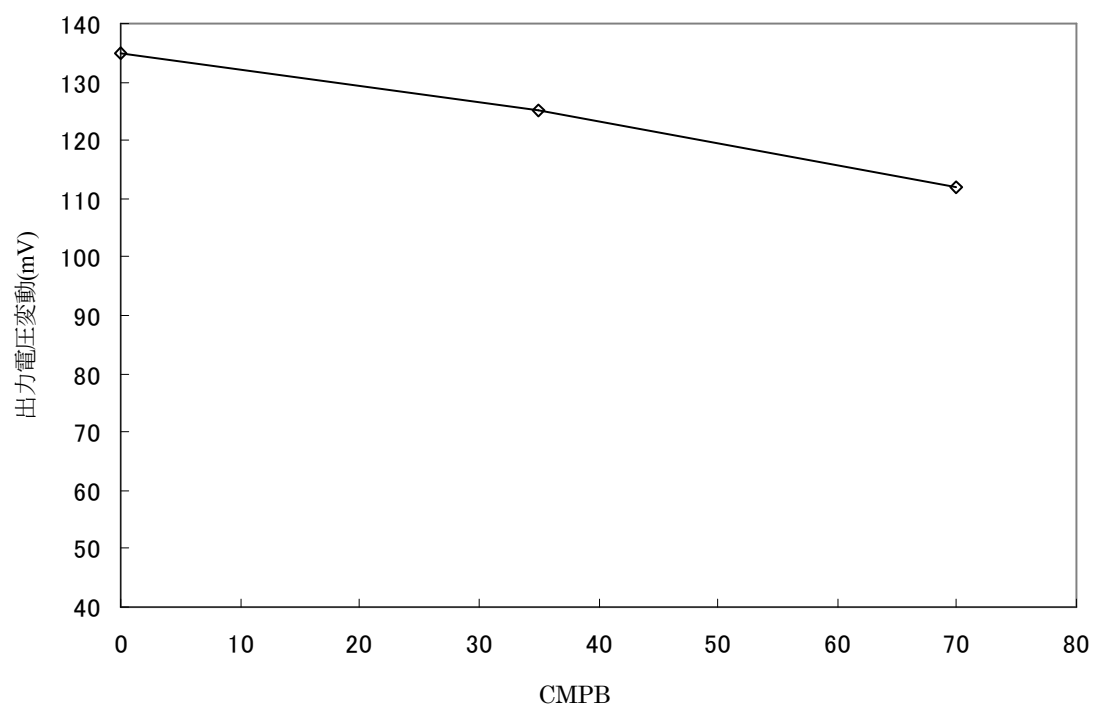
少ない方がよく、すなわち、データを取得するタイミングは、MOSFET がスイッチ動作する前後の期間を避けることが求められる。POL の入出力電圧差は、PWM 信号幅に関係する。特に本実験条件では、1 スイッチング周期に対する PWM 信号のデューティが小さい。前述の通り、本提案手法では、制御周期がスイッチング周期に収まるために、CMPB の値は上限で 70、すなわち 700ns までとなる。この場合、割り込み発生はスイッチング周期の開始から 700ns 後となるが、読み込まれた ADC のデータは、スイッチング周期の開始時点から 300ns から 500ns の範囲となり、500ns の時点でも MOSFET のスイッチオフ動作の影響が依然として残っていることが推測できる。ADC が取得する出力電圧の信号は、極力静かなことが必要なため、CMPB は、できれば 100 以上であることが良い。以上の理由から、入出力電圧差に対して、CMPB の数値を十分に配慮しなければならないことが分かった。

B. データ処理分割による CMPB とゲインの増大

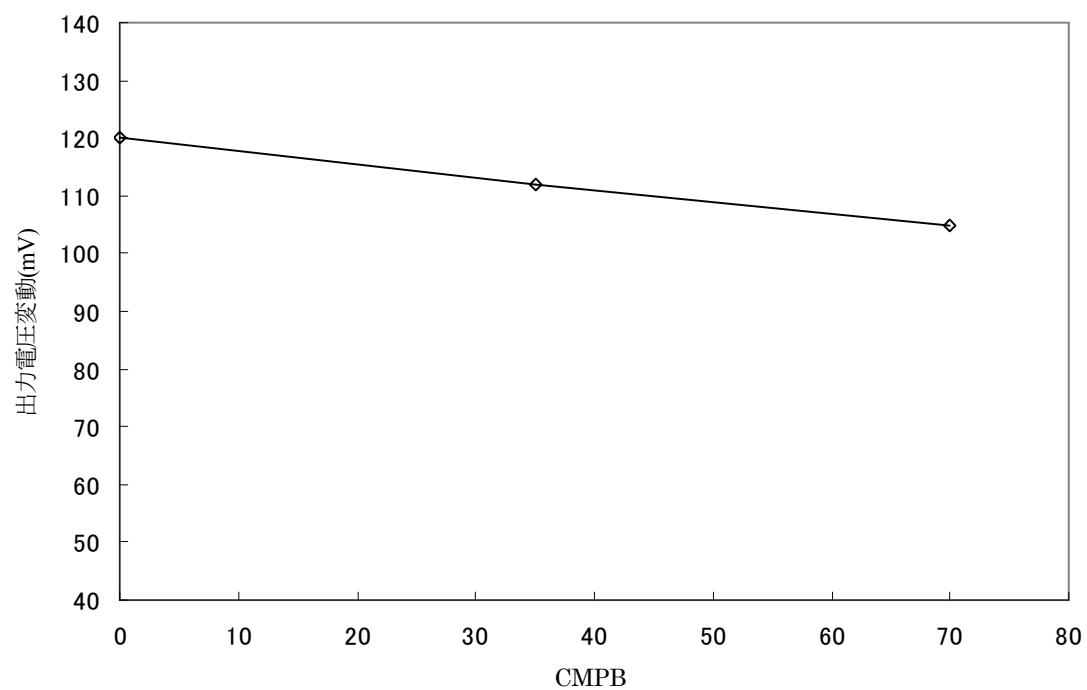
図5-7で示した提案手法をプログラム化してF2808に実装し、負荷急変時の出力電圧変動値を測定する。なお、実験の条件は、上述のAと同様である。実験の結果、この提案手法を制御処理に導入することにより、CMPBの値は120まで上げることが可能であることが分かった。さらに、遅れ時間が減ったため、これまで3倍にとどまっていたゲインを6倍まで上げることができるようになった。図5-9(a),(b)にゲインの変化に対する出力電圧変動値を示す。CMPBを120にした結果、ゲイン3倍時の負荷急増時における出力電圧変動値は約113mVとなり、さらにゲインを増すことで出力電圧変動は低下し、ゲイン6倍の場合は、80mVまで抑制された。なお、ゲイン6倍時の負荷急変波形を図5-10(a),(b)に示す。

図5-9(a)を見ると、ゲインの増大に対して出力電圧変動値は一意に低下せず、6倍ではほぼ一定の値に収束している。これは、PWM信号の増減が飽和し、応答帯域の限界に至っているためと推測する。図5-9(b)は、(a)の特性ほど顕著ではないが、やはり値の伸びが抑えられている。なお、CMPBが120における各ゲインに対する応答帯域の傾向を確認するため、周波数応答特性を測定した。得られた結果を表5-2(a),(b)に示す。ゲインの増大に伴ってゼロクロス周波数は増加するが、その数値は比例して大きくなることはない。この傾向が図5-9(a),(b)で示した特性にも現れたと考える。

以上より、制御遅れ時間を短縮する 2 つの提案手法について、応答特性が改善された実機の測定結果を確認することにより、その有効性を示すことができた。

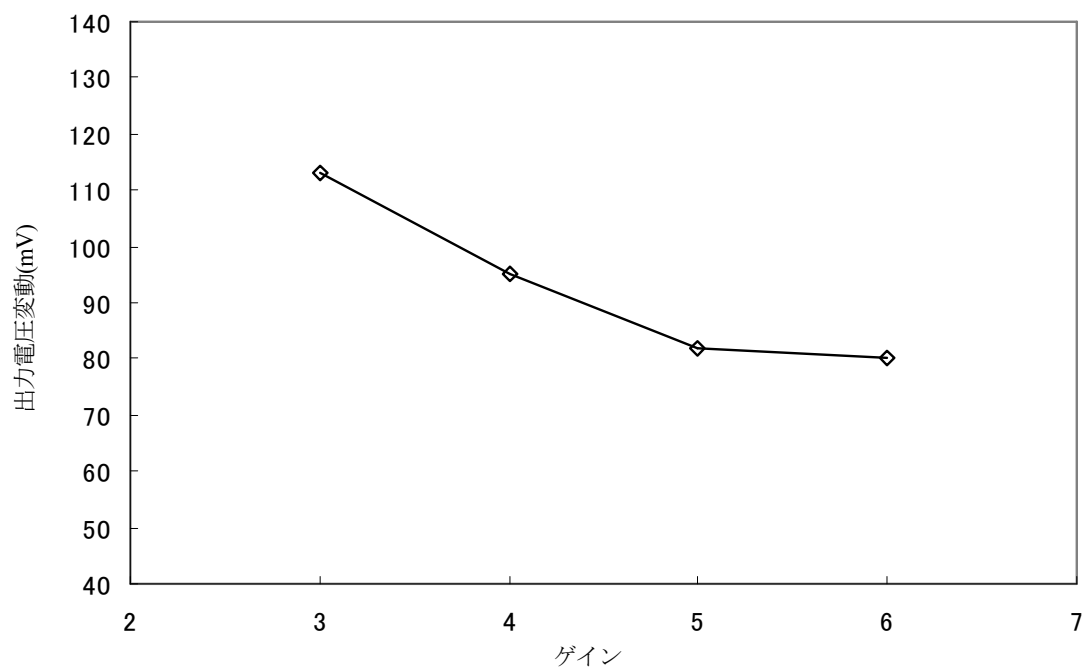


(a) 負荷急増

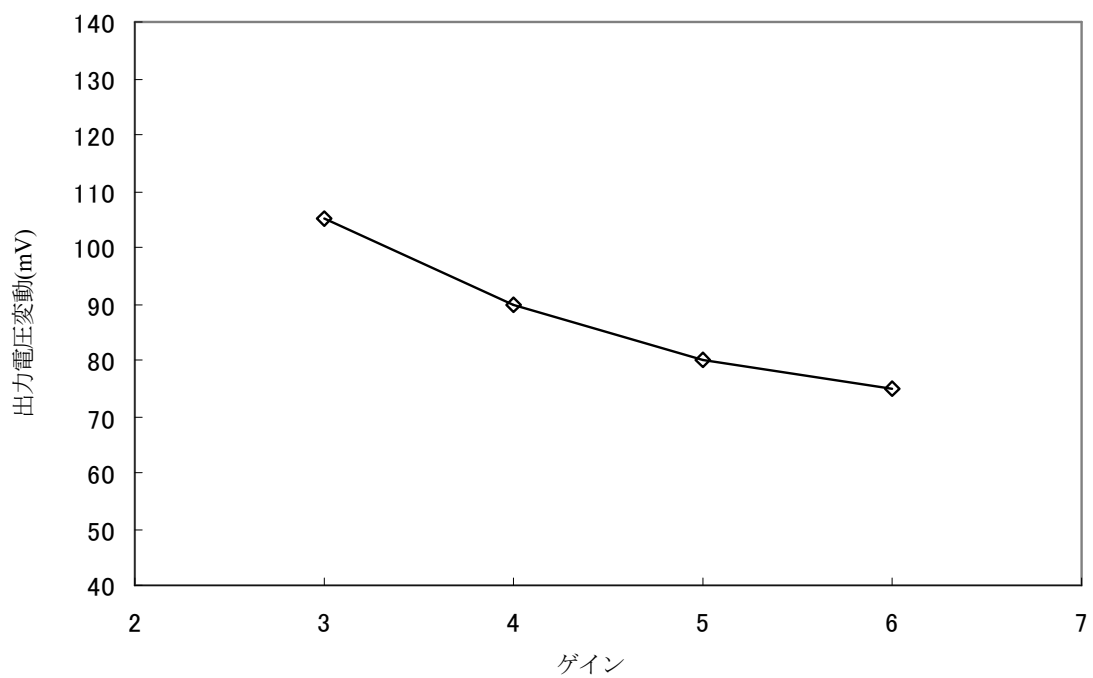


(b) 負荷急減

図 5-8 ADC データ取得タイミング変更手法による出力電圧変動特性

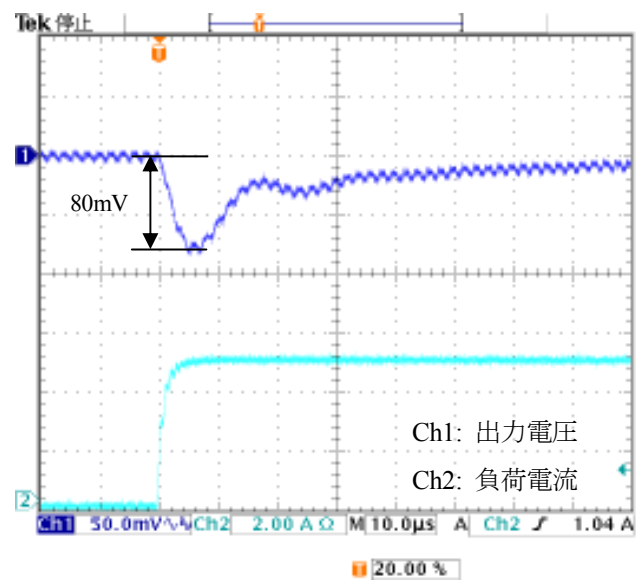


(a) 負荷急増

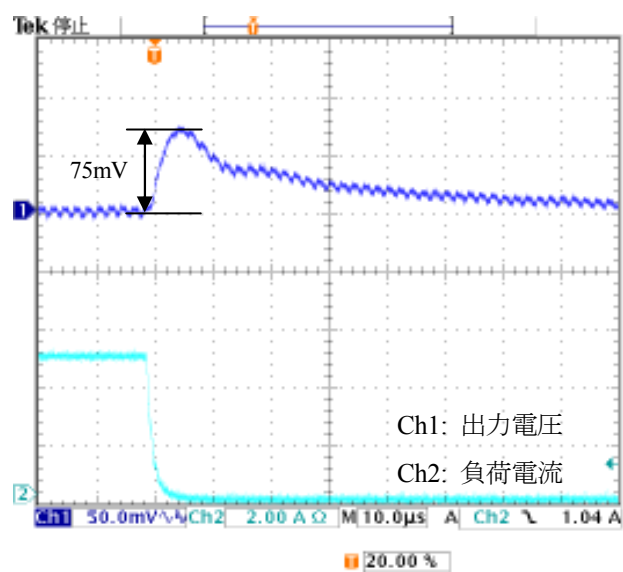


(b) 負荷急減

図 5-9 データ処理分割手法による出力電圧変動特性



(a) 負荷急増



(b) 負荷急減

図 5-10 データ処理分割手法による負荷急変波形（ゲイン 6 倍）

表 5-2 CMPB を 120 に設定した実機の周波数特性

(a) 負荷電流 5A

ゲイン値	ゼロクロス周波数(Hz)	位相余裕 (度)
3	33.03k	46.44
4	39.06k	40.90
5	44.14k	36.39
6	49.11k	32.71

(b) 負荷電流 10A

ゲイン値	ゼロクロス周波数(Hz)	位相余裕 (度)
3	33.03k	48.43
4	37.32k	44.31
5	40.89k	41.46
6	44.82k	39.26

5-8 むすび

本章では、DSPを搭載した1/4ブリックサイズのPOLの試作し、続いて、制御プログラムの基本アルゴリズムを確立した。これらの準備を整えてから、各種の出力電圧やスルーレートに対する応答特性を確認し、本論文が対象とするデジタル制御POLの基本特性を理解した。さらに、DSPによって実行される制御処理に要する時間を計測した。この制御処理には遅れ要素が含まれており、応答特性に大きな影響を及ぼす。負荷急変時の出力電圧変動をさらに抑制するには、制御処理に伴う遅れ時間を短縮し、POLの応答帯域を拡大する制御手法を提案する必要性が生じた。

上記の課題を解決するため、遅れ時間を短縮する2つの手法を提案した。1つは、ADCのデータ取得タイミングをDSPによる時間管理によって調整し、遅れ時間を減らす手法である。この手法により、遅れ時間を700ns短縮することが可能となった。さらにもう1つは、制御処理を分割する手法である。制御演算は、制御量演算処理と後処理に分割することができる。PWM信号を毎周期で更新するためには、DPWMに出力される制御量が現周期の内に確定していればよく、これは、制御量演算とDPWMにおける処理が、現周期以内に完了していればよいことを意味する。したがって、後処理を次周期に移動させる手法を提案することにより、CMPBの値を120まで増加させ、遅れ時間を1200ns減らせることが可能となった。

上述の提案手法をプログラム化してDSPに実装し、効果の確認を行った。その結果、対策前には135mVあった負荷急増時の出力電圧変動の基本特性が、CMPBの導入によって、約115mVまで抑制することができた。さらに、制御処理を分割する手法により、ゲインを倍に設定することが可能となり、変動値は、基本特性から40%減である80mVとなり、目標値である100mVに対しては、20%減まで抑制することができた。

次章では、工学的応用として、DSPを用いたプログラム制御により高度な制御方式を導入することによる、デジタル制御POLの応答特性改善を実施する。また、本章で試作した1/4ブリックより、さらに小形のPOLを製作する。

引用文献

- (1) Jakobsen, Andersen:「Digitally Controlled Point of Load Converter with Very Fast Transient Response」, in Proc. IEEE EPE Conf (2007)
- (2) Maksimović, Zane, Erickson:「Impact of Digital Control in Power Electronics」, in Proc. IEEE ISPSD Conf. Vol. 18, pp.13-22 (2004)

参考資料

- (A) ROHM: 「BA33D18HFP datasheet Rev.C」 (2005)
- (B) TDK: 「CCR Series datasheet (001-05 / 20060110 / ef31_ccr)」 (2006)
- (C) Texas Instruments Inc: 「REF3020 datasheet (SBVS032E)」 (2004)

第6章 DSP による POL への予測制御の導入

6-1 まえがき

デジタル制御は、文献⁽¹⁾⁻⁽³⁾等で述べられているように、数多くの利点を有することが知られている。これら利点の中で最も有意義と思われるのは、アナログ制御では実現が困難な、高度な制御手法を演算機能により実施可能なことである。今後、顧客と電源メーカーの双方に利益をもたらし続けるには、電源技術をさらに進歩させていく必要がある。これには、主回路技術や部品技術のみならず、制御技術をより高度化させていく必要があると考える。この必要性が、電源において、デジタル制御に将来性があるとされる大きな理由である。

デジタル制御電源は、ハードウェアとソフトウェアによる方式に大別される。ハードウェア方式では、各種デジタル制御 IC^{(A)-(C)}が製品化され、POL にも適用されている^(D)。また、VRM や POL を対象とする高速応答の研究においては、セル構造のハードウェアによる小形制御 IC の開発や FPGA を使用した制御手法の検討がなされ、これまで多数の事例が報告されている⁽⁴⁾⁻⁽⁷⁾。一方、ソフトウェア方式では、高速演算に優れ、プログラムによる制御アルゴリズムの構築と変更を可能とし、電源制御に必要な周辺機能を有する DSP が知られており、この DSP を POL に適用する高速応答の研究が提案されている⁽⁸⁾⁻⁽¹⁰⁾。

ハードウェア方式によるデジタル制御は、高速応答を可能とするが、問題点も有している。文献^{(6),(7)}に代表される Optimal 制御は、素子の遅れ時間や検出誤差による誤動作の恐れが指摘されている⁽¹¹⁾。また、これらの研究において使用されている専用 IC や FPGA は、製品化の場面において制約となり得るため、さらなる検討が必要と思われる。なお、製品化されたデジタル制御 IC は、制御アルゴリズムが固定されており、応答性能はアナログ制御の電圧制御方式に準じる。POL の開発者が、制御に関する検討内容を短時間で実動作に反映させ、さらに短期間で製品化へと繋げるのであれば、プログラマブルな DSP の活用が有効と考える。しかし、POL において、DSP を応用したデジタル制御の優位性を明確に示すのであれば、演算機能を用いた高度な知的制御手法を具体化し、高速応答を実現することが求められる。

そこで第6章では、工学的応用として、DSP を用いたプログラム制御によるフィードフォワード型予測制御手法を提案する。本制御手法は、コストに負担をかけない電圧制御を維持しつつ、出力電圧の変動傾向から次周期の誤差量を予測演算により算出し、制御式に加算する構成を取る。この次周期の誤差量は、負荷急変時における出力電圧変動の抑制に支配的な制御式第1項の係数と積算されるため応答性能の向上し、さらに、フィードフォワード効果による安定性の確保が期待できる。また、高速演算に優れる DSP により、高スイッチング周波数動作に関わらず、毎周期の制御演算が可能となる。本制御手法はプログラム化され、新たに製作する 1/8 ブリックサイズ POL に搭載された、BGA タイプの DSP に移植され、実験により負荷急変特性が測定される。この実験により、出力電圧変動値が、目標の 100mV 以下である 90mV まで抑制されることが確認され、本提案手法の有効性が示される。

6-2 予測制御についての考察

本章で提案する制御手法を議論する前に、一般に知られている予測制御についての概要をまず説明する。この制御技術は、適用される分野によって捉え方や手法が異なるようである。予測制御は、1960年代後半にリシャレが提唱したモデル予測制御^(E)が出发点となっており、石油化学、空調、発電、軍事等、さまざまな分野のシステムにおいて適用され、発展してきた。その特徴としては、

- ①明確でないプラントに対する同定と最適化運転
- ②フィードフォワード制御の容易な実装
- ③むだ時間に対する希望通りの応答実現

等が挙げられる。予測制御は、パワーエレクトロニクス系の学会、および、業界においても検討がなされている。この中には、制御の動作別分類に関する報告⁽¹¹⁾を始めとして、モータ制御に対する適用の報告^{(12),(13)}や、デッドビート制御を予測制御とみなした、PFC(Power Factor Control)やDC-DC電源への適用が提案されている^{(14),(15)}。また、演算収束性のよいスミス予測器をプラント推定に利用する研究も提案されている⁽¹⁶⁾。しかし、筆者の調査によると、POLに対して高速応答を目的とするDSPを用いた予測制御の報告は、これまでなされていない。数10kHz動作のスイッチング電源に予測制御を適用し、制御遅れを補償した事例は、過去の文献⁽¹⁷⁾で報告されているが、POLは高スイッチング周波数であるため、演算に割くことができる時間的余裕は少なく、別の手法を検討する必要がある。

6-3 提案する制御手法

本論文が対象とするデジタル制御POLにおいて、制御量を演算する式は、第4章で導出され、第5章の実機動作に使用されており、

$$U(n) = K_0 \cdot E(n) + K_1 \cdot E(n-1) + K_2 \cdot E(n-2) \\ + K_3 \cdot U(n-1) + K_4 \cdot U(n-2) \quad \dots\dots\dots(6-1)$$

$$K_0: 11.688, K_1: -21.6099, K_2: 9.9861, K_3: 1.375, K_4: -0.375$$

と表される。

また、(6-1)式における $E(n)$ は(6-2)式によって表され、

$$E(n) = V_{ref} - V_o(n) \quad \dots\dots\dots(6-2)$$

となる。

(6-2)式における V_{ref} は、出力電圧の目標値であり、 $V_o(n)$ は、現周期においてADCから取得した出力電圧値である。また、(6-1)式における $E(n)$ は、現周期において計測した出力電圧の目標値に対する誤差量であり、 $E(n-1)$ と $E(n-2)$ はそれぞれ、前周期と前々周期の誤差量を意味する。同様に、 $U(n)$ は現周期で演算された制御量であり、 $U(n-1)$ と $U(n-2)$ はそれぞれ、前周期と前々周期で演算された制御量を意味する。(6-1)式の演算で得られた制御量は、DSPに内蔵されたDPWMモジュールに入力され、次周期におけるPWM信号として反映される。すなわち、制御

演算には常に 1 周期遅れが伴うことになる。

本論文が提案する、負荷急変特性を改善する制御手法を以下に述べる。DSP に内蔵された ADC は、出力電圧に対してスイッチング周期毎の一定した間隔でサンプリングを行い、演算用のデータとして取得している。この動作に着目し、現周期において演算用に取得した出力電圧値と、前周期に取得した出力電圧値を用いて、負荷急変時における目標電圧に対する出力電圧の変化傾向を知ることが可能である。すなわち、この傾向から次周期の誤差量を予測することによって、制御量演算に伴う 1 周期遅れの補償が見込める。

本論文の POL は、スイッチング周期が $2\mu\text{s}$ であり、出力電圧のサンプリング点間は比較的短い。このため、簡素な線形 1 次推定による予測手法が適切と考える。また、本 POL に対しては、応答性向上のため、スイッチング周期毎の制御演算が求められることから、高速処理性を満たす演算負荷の少ない予測式を採用することにする。

現周期と前周期における、誤差量はそれぞれ、 $E(n)$ 、 $E(n-1)$ である。したがって、現周期の演算時における誤差量の傾向は、

$$E'(n) = E(n) - E(n-1) \quad \dots\dots\dots(6-3)$$

と表される。

(6-3)式で得られる誤差量の傾向から、線形 1 次予測される次周期の誤差量 $E^*(n+1)$ は、

$$E^*(n+1) = E(n) + \alpha(E(n) - E(n-1)) \quad \dots\dots\dots(6-4)$$

と表される。

(6-4)式における α は予測係数であり、例えば $\alpha=1.0$ であれば、次周期の誤差量は $E(n)$ 、 $E(n-1)$ の差分がそのまま線形軌跡で加算され、さらに α を増せば予測される誤差量は強まる。

ここで、(6-1)式の制御量演算式における n を 1 周期後に進めて $n+1$ にすると、次周期の制御量は、

$$U(n+1) = K_0 \cdot E(n+1) + K_1 \cdot E(n) + K_2 \cdot E(n-1) \\ + K_3 \cdot U(n) + K_4 \cdot U(n-1) \quad \dots\dots\dots(6-5)$$

と表される。

$E^*(n+1)$ を表現する(6-4)式を $E^*(n)$ 、および、 $E^*(n-1)$ にも適用し、(6-5)式に代入すると(6-6)式が得られ、

$$U^*(n+1) = K_0 \cdot E^*(n+1) + K_1 \cdot E^*(n) + K_2 \cdot E^*(n-1) \\ + K_3 \cdot U^*(n) + K_4 \cdot U^*(n-1) \quad \dots\dots\dots(6-6)$$

となる。

(6-6)式には、予測された次周期の誤差量と同様に、現周期、および、前周期の誤差量にも予測値が加算された数値が踏襲されて演算に用いられることに加え、以下の内容の特徴とする。

- ①制御演算のたびに、メモリに対して $E(n)$, $E(n-1)$, $E^*(n)$, $E^*(n-1)$, $U^*(n)$, $U^*(n-1)$ のロード・ストア、および、制御式における係数との積和演算の繰り返しが、DSP の高速演算能力によって達成される。
- ②予測される次周期の誤差量は、制御量演算においてフィードフォワード要素となり、遅れ補償効果が得られる。
- ③演算で得られた次周期の予測誤差量がかかる(6-6)式の右辺第 1 項は、出力電圧変動の抑制効果において最も支配的であり、予測誤差が加算される作用は、出力電圧が急激に変化する負荷急変の発生直後において、特に効果があると考えられる。

6-4 提案手法のシミュレーション検証

本論文で提案する予測制御方式に対して、高速応答性と安定性の検討を行うには、その特性を理解する必要がある。このため、第 4 章で示した PSIM による近似小信号モデルを利用し、これに予測演算要素を加えた提案手法の解析モデルを新たに構成して、評価を行う。図 6-1(a) は POL の全体回路を表しており、その中で、提案手法を含んだ制御伝達関数 $G_c(z)$ は、図 6-1 (b) に示すブロック図で表される。破線で囲った箇所は、(6-4)式で示した予測誤差量を算出するブロックであり、その他のブロックは(6-1)式で示した制御式を意味している。すなわち $G_c(z)$ は、

$$G_c(z) = C_p(z) \cdot C(z) \quad \dots\dots\dots(6-7)$$

と表される。

この中で、 $C(z)$ は(6-1)式の伝達関数であり、

$$C(z) = \frac{11.688z^2 - 21.6099z + 9.9861}{z^2 - 1.375z + 0.375} \quad \dots\dots\dots(6-8)$$

と表される。

さらに、本論文で提案する予測制御手法による誤差量を表す伝達関数 $C_p(z)$ は、

$$C_p(z) = 1 + \alpha(1 - z^{-1}) \quad \dots\dots\dots(6-9)$$

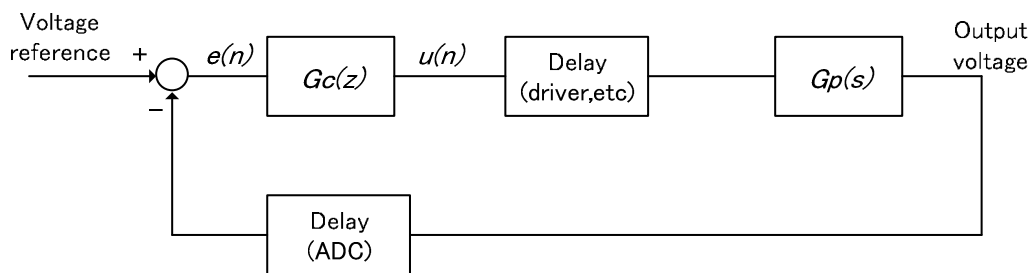
と表され、この(6-9)式の演算により、フィードフォワード動作がなされる。

本論文で提案する予測制御式を導入した近似小信号モデルを使用し、予測係数 α の設定を 0.5 刻みに変更してボード線図を描画し、これをもとに周波数応答特性のデータをまとめた。この結果を図 6-2(a),(b)に示す。

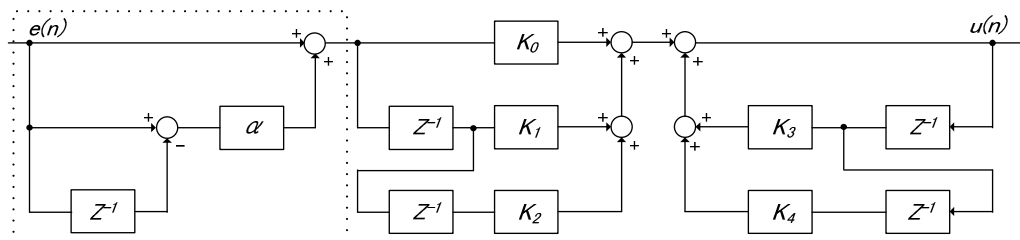
出力 5A, 10A の条件において、共に α の増大に対してゼロクロス周波数が増加していくが、位相回りはフィードフォワード要素の効果により抑えられていることが分かる。しかし、 α が

2.0 において、それまで α に対して増加していた位相余裕が元に戻る現象が起きており、ここが本予測制御の限界と推定できる。

ここまでの解析では、提案手法に対して、小信号特性に主眼を置いた効果の確認を行った。次に、(6-4)式で計算された次周期の予測誤差量が、(6-6)式に示した制御式における右边第 1 項の係数 K_0 と積算される効果について説明する。負荷急変発生直後における出力電圧の著しい逸脱値は、この制御式における右边第 1 項において最初処理される。このため、第 1 項における誤差量に予測誤差傾向が加算される動作は、負荷急変時に制御式のゲインが増大したのと同様の作用となり、大信号特性の面でも出力電圧値変動の抑制に寄与することが直感的に理解できる。この効果は次節の実機確認において検証する。

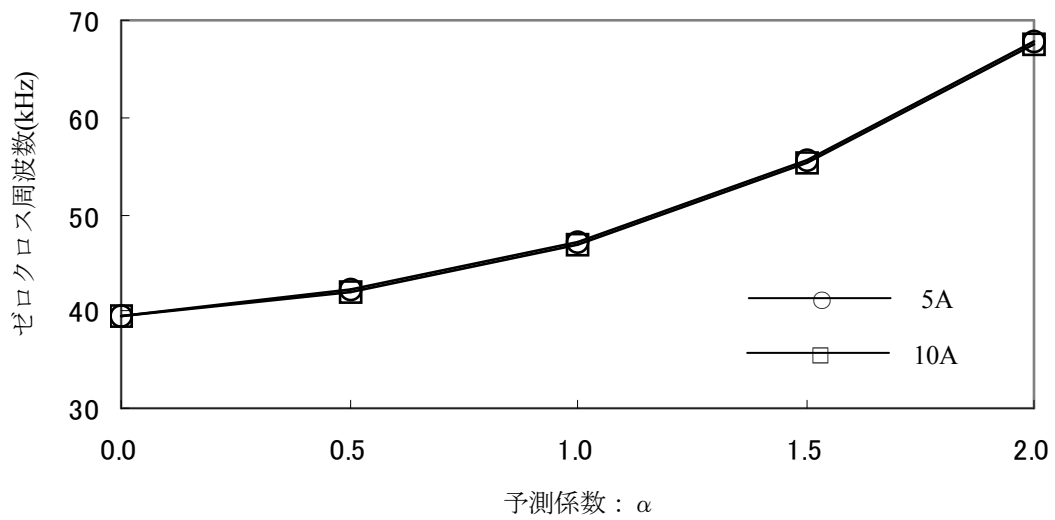


(a) 全体回路

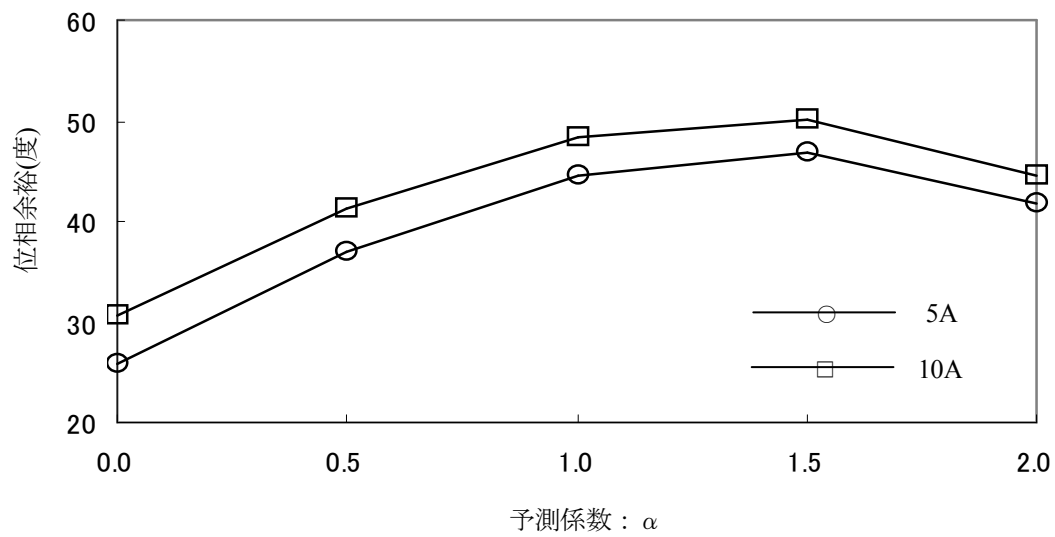


(b) 制御回路

図 6-1 デジタル制御 POL のブロック図



(a) α に対するゼロクロス周波数特性



(b) α に対する位相余裕特性

図 6-2 シミュレーションによる提案手法の周波数応答特性

6-5 提案手法のプログラム化

本節では、前節までに提案、検証した予測制御手法をプログラム化するため、制御アルゴリズムについて検討する。第5章の図5-2において、制御プログラムの概略フローチャートを示したが、これに予測制御を導入する場合は、以下の図6-3に示す処理が、ADCのデータ取得以降と入れ替わる。

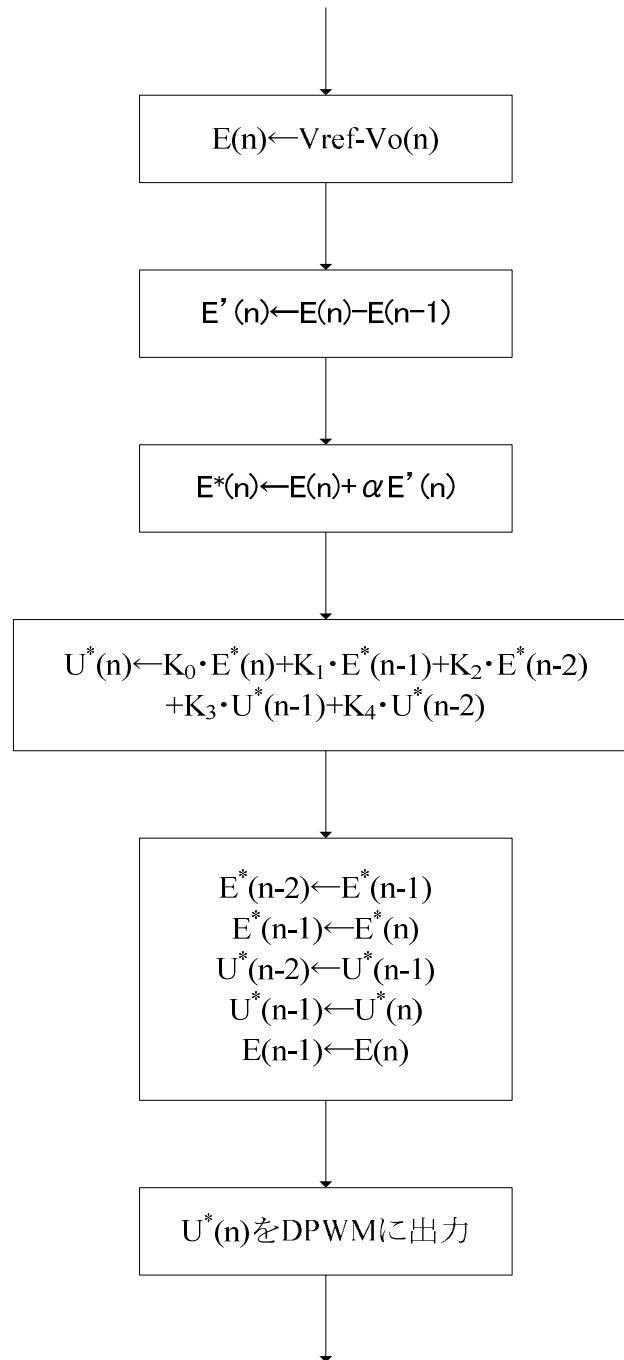


図 6-3 予測制御の概略フローチャート

図 6-3 における各処理内容は、時系列で以下の通りとなる。

- ①ADC で取得したデータから現制御周期の誤差量 $E(n)$ を算出する。
- ②誤差量 $E(n)$ から前制御周期の誤差量 $E(n-1)$ を減算し、誤差の傾向量 $E'(n)$ を算出する。
- ③予測係数 α と $E'(n)$ を積算してから $E(n)$ に加算して、現予測誤差量 $E^*(n)$ を算出する。
- ④前予測誤差量 $E^*(n-1)$ 、前々予測誤差量 $E^*(n-2)$ 、前予測制御量 $U^*(n-1)$ 、前々予測制御量 $U^*(n-2)$ を使用して、現予測制御量を算出する。
- ⑤制御周期が次周期へ遷移することに伴う後処理を実施する。
- ⑥現予測制御量を DPWM に出力する。

なお、本提案手法の効果を評価するため、ADC のデータ取得タイミングは制御周期の開始時点としており、第 5 章の図 5-6(a) で示したタイミングチャートに従う。

6-6 実機評価

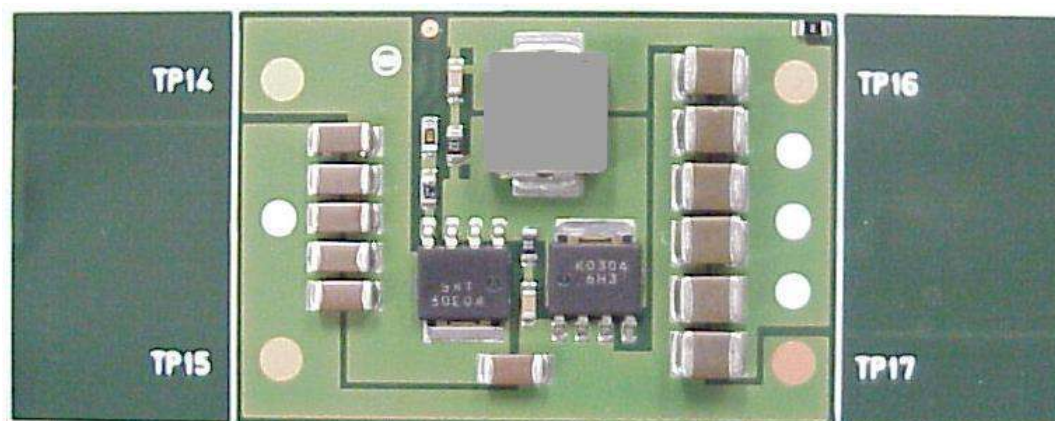
本節では、提案する制御手法をプログラム化して DSP に実装し、負荷急変時における出力電圧変動を測定して、効果の確認を行う。使用する POL は、1/4 ブリックの試作品と比較して、外形がより小形サイズの新規製作品である。この POL についても以下で説明を行う。

6-6-1 1/8 ブリック POL の製作

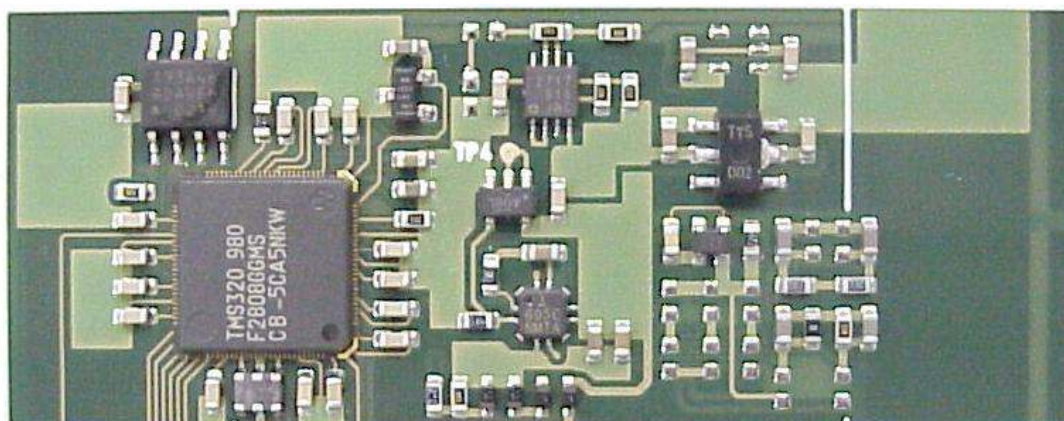
本項では、より小形の実機を実現するべく、新たに製作した 1/8 ブリックサイズのデジタル制御 POL を写真 8-1(a),(b) に示す。写真 8-1(a) は主回路面であり、チョークコイル・入出力コンデンサ・MOSFET 等が搭載されている。一方、写真 8-1(b) は制御回路面であり、DSP・ゲートドライバ・検出回路等が実装されている。

搭載部品は全て表面実装品であり、特筆すべきは、F2808 に 100 ピンの BGA 品を採用したことである。この DSP は、1/4 ブリックサイズの POL で使用したフラットパッケージ品と形状は異なるが、動作性能は同一である。なお、プリント基板へのハンダ接続は、レントゲンを使用し、透過確認が行われている。

1/4 ブリックサイズ POL において面積を占有していた DSP への電源電圧供給用 LDO は、1.8V と 3.3V 出力をそれぞれ分割化して小面積化を図り、制御回路面へ移動した。さらに、実動作に直接必要のない通信用コネクタや JTAG コネクタは外部に移動して、より小形化ができるように配慮している。プリント基板は、8 層構造による高密度配線を実現しており、POL の小形化に大きく貢献している。



(a) 主回路面



(b) 制御回路面

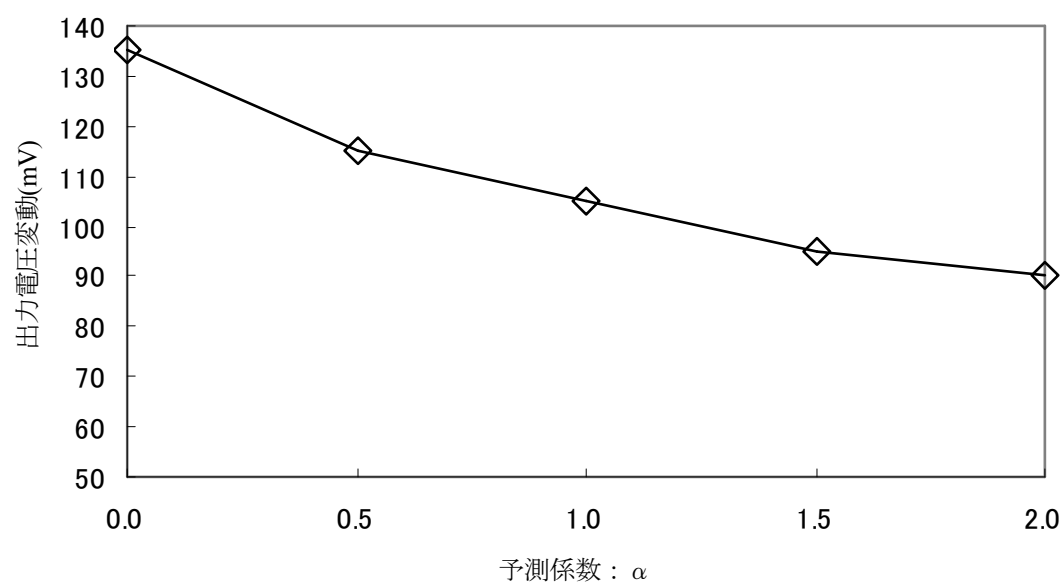
写真 8-1 1/8 ブリックサイズデジタル制御 POL

6-6-2 提案手法による負荷急変特性

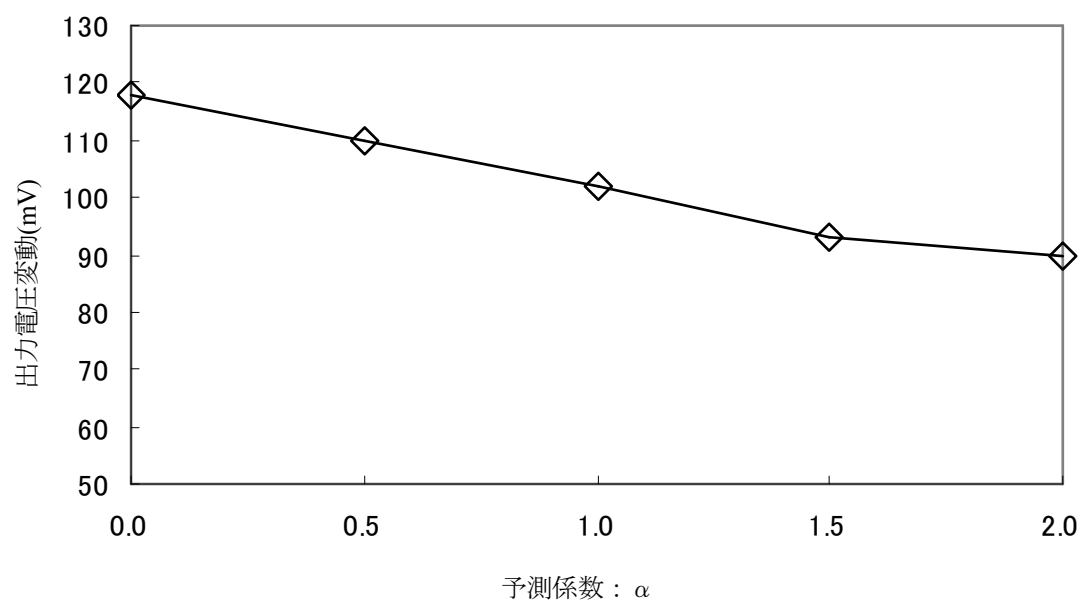
提案手法による負荷急変時における出力電圧変動の測定結果を図 6-4(a),(b)に示す。各測定において、予測係数 α をそれぞれ 0.5・1.0・1.5・2.0 の設定とし、これらに対して、負荷は無負荷から 5A、および、5A から 10A の範囲で急変させる。測定の結果、予測制御のない基本特性と比較して出力電圧変動は抑制され、 $\alpha=1.5$ の場合の変動値は、目標に設定した 100mV 以下である 95mV まで減少していることが分かる。

予測係数 $\alpha=1.5$ と $\alpha=2.0$ の場合の負荷急変波形を、それぞれ図 6-5 の(a)と(b)に示す。図 6-4(b)の $\alpha=2.0$ の条件では、変動値約 90mV まで減少するが、目標電圧への復帰時において振動が起きていることが分かる。これは、制御式における予測の度合いが強くなったために、予測された誤差量の行き過ぎが大きくなり、その結果、次周期の制御量演算において反動が発生し、これが繰り返されて起きた現象と考えられる。このことから、 α の設定は 1.0 から 1.5 程度が限界と判断できるが、変動値の抑制最大値が得られる α は 2.0 であるともいえる。

以上のように、DSP を用いたデジタル制御 POL において、プログラム動作による予測制御手法の導入により、応答帯域の拡大、および、フィードフォワード効果による安定性の確保がなされ、負荷急変に対する応答特性を改善し、出力電圧変動値が抑制されることが確認できた。また、提案手法は、応答特性を向上させるために、制御式における係数の試行錯誤によるチューニングやデジタル再設計の繰り返し作業を要さず、予測係数 α の直感的な調整のみで評価を行うことが可能である。

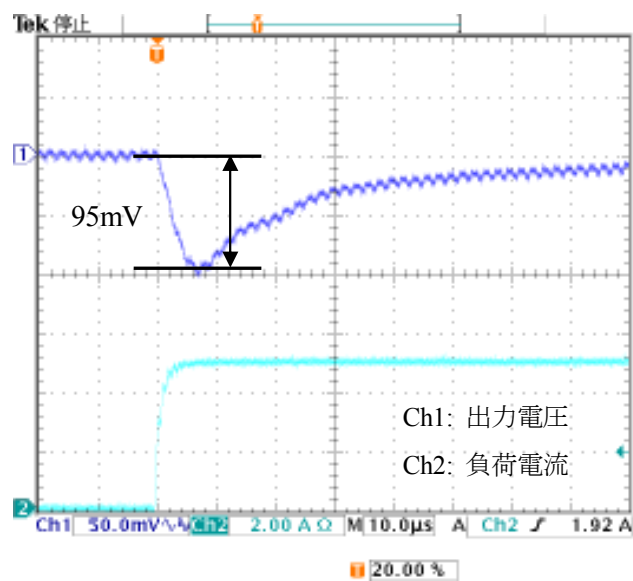


(a) 負荷電流変動範囲: 0 から 5A

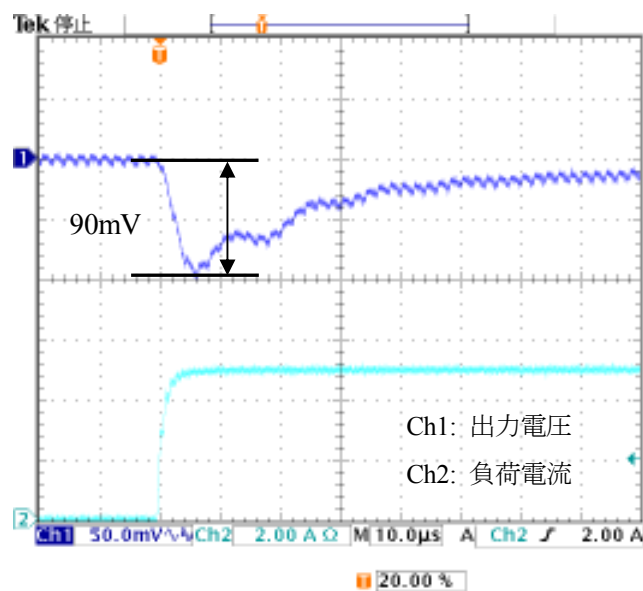


(b) 負荷電流変動範囲: 5A から 10A

図 6-4 提案手法による出力電圧変動特性



(a) $\alpha=1.5$ の場合



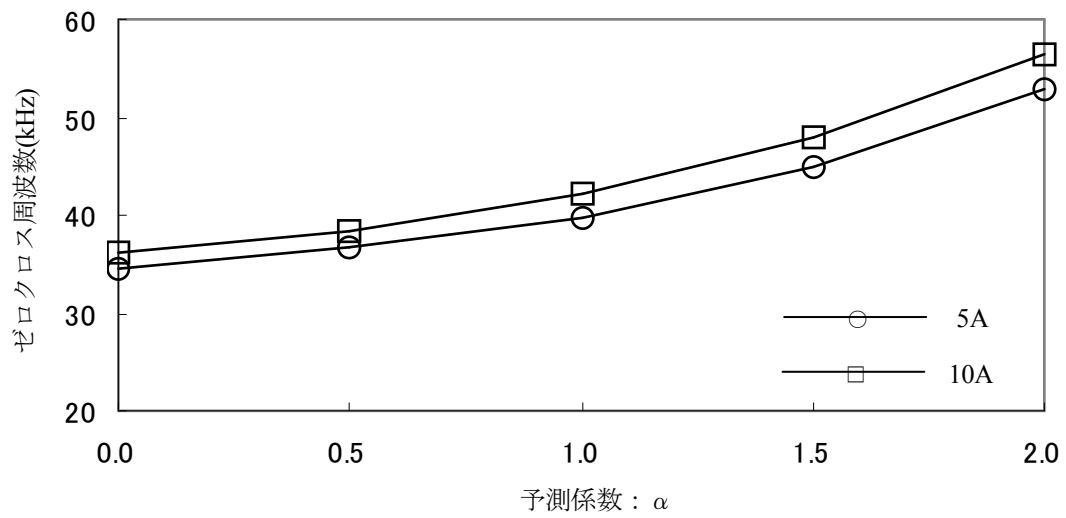
(b) $\alpha=2.0$ の場合

図 6-5 提案手法による負荷急変波形

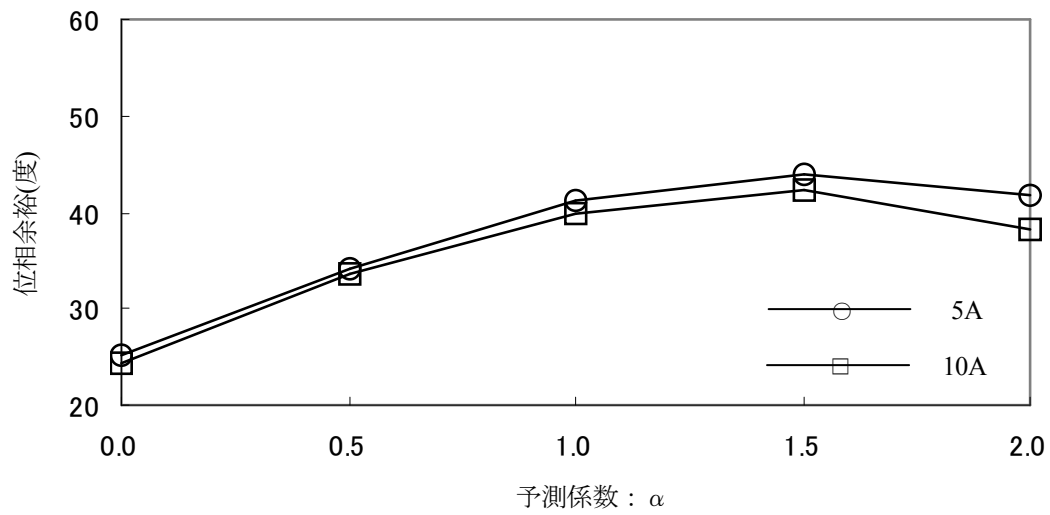
6-6-3 提案手法による周波数応答特性

実機動作において測定した、提案手法によるボード線図から得られる周波数応答特性を図 6-6(a),(b)に示す。図 6-6(a)は、予測係数 α に対するゼロクロス周波数の特性であり、 α の増加に対してゼロクロス周波数が増し、図 6-2(a)で示したシミュレーションによる特性と同様に、応答帯域の拡大が確認できる。また、図 6-6(b)は、予測係数 α に対する位相余裕の特性であり、 α の増加に対して位相余裕は増していくが、図 6-2(b)で示したシミュレーションの特性と同様に、 $\alpha=2.0$ において位相余裕数値の逆転現象が再現している。このことから、予測係数 α は安定した動作範囲を超えていることが理解できる。

また、図 6-2(a)のシミュレーションによる特性と図 6-6(a)の実測結果を比較すると、 α の増加と共に、双方のゼロクロス周波数の差異が大きくなることが分かる。この理由は、第 5 章 5-5 節で考察したシミュレーションと実機による動作条件の差が現れていると推測する。しかし、シミュレーションと実機による測定データは共に、提案手法が実現する動作傾向を示しており、解析結果は妥当であると判断する。



(a) α に対するゼロクロス周波数特性



(b) α に対する位相余裕特性

図 6-6 実測による提案手法の周波数応答特性

6-7 むすび

第6章では、アナログ制御、および、ハードウェア方式によるデジタル制御POLに対して、ソフトウェア方式によるデジタル制御の優位性を示すため、式化した推定動作を可能とする予測制御をプログラマブルなDSPによって導入した。高速な制御演算が必要となるPOLに対して予測制御を適用するには、従来とは異なる推定手法を立案することが求められていた。このため、本論文では、線形1次推定によるフィードフォワード型予測制御方式を提案した。この提案方式は、DSPによるプログラム動作により、検出方法が簡素な従来の電圧制御方式を維持しつつ、高スイッチング周波数動作を要するPOLにおいても高速応答を実現することができる。さらに、高スイッチング周波数動作にもかかわらず、毎周期の制御演算を可能としている。本制御手法は、シミュレーションによる検証後にプログラム化され、新たに製作した1/8ブリックサイズPOLに搭載されたBGAタイプのDSPに移植し、実機による負荷急変特性が測定された。この実験の結果、出力電圧変動値が、基本特性である135mVから33%減である90mVとなり、さらに目標値である100mVに対しては、10%減まで抑制されることが確認され、本手法の有効性を示すことができた。

以上より、プログラマブルなDSPによるデジタル制御POLの知的制御化と高速応答の実現により、ソフトウェア方式の優位性を示したと共に、デジタル制御電源に対して、今後の方向性を示すことができた。

引用文献

- (1) Leeb:「Special Issue in Digital Control in Power Electronics」, IEEE Transactions on Power Electronics. Vol.18 No.1, pp.293 (2003)
- (2) Maksimovic', Zane, Erickson: 「Impact of Digital Control in Power Electronics」, in Proc. ISPSD, pp.13-22 (2004)
- (3) 野崎, 曾禰:「小型スイッチング電源の現状とデジタル化」 高速信号処理応用技術学会誌 第9巻 第1号, pp.12-17 (2006)
- (4) Patella, Prodic, Zirger, Maksimović:「High-frequency digital controller IC for dc/dc converters」, IEEE Transactions on Power Electronics. Vol.18 No.1, pp.438-446 (2003)
- (5) Xiao, Peterchev, Sanders:「Architecture and IC implementation of a digital VRM controller」, IEEE Transactions on Power Electronics. Vol.18 No.1, pp.356-364 (2003)
- (6) Feng, Meyer, Liu:「A New Digital Control Algorithm to Achieve Optimal Dynamic Performance in DC-to-DC Converters」, IEEE Transactions on Power Electronics. Vol.22 No4, pp.1489-1498 (2007)
- (7) Zhao, Prodic:「Continuous-Time Digital Controller for High-Frequency DC-DC Converters」, IEEE Transactions on Power Electronics. Vol.22 No4, pp.564-573 (2008)

- (8) 野崎, 前川, 曾禰, 竹田:「DSP デジタル制御 POL における内蔵 ADC の特性評価と最適な使用方法」, 高速信号処理応用技術学会誌 第 10 巻 第 2 号, pp48-53 (2007)
- (9) 野崎, 前川, 曾禰, 竹田:「DSP デジタル制御電源の入出力電圧変更にともなうループゲイン変化対策」, 高速信号処理応用技術学会誌 第 10 巻 第 2 号, pp54-59 (2007)
- (10) Nozaki, Sone, Takeda:「Time Delay Reduction for Improving Transient Response of Digital Controlled POL Using DSP」, in Proc. IEEE IPEC Sapporo 2010, pp.1923-1928 (2010)
- (11) Kennel, Linder:「Predictive Control of Inverter Supplied Electrical Drives」, in Proc. IEEE PESC Conf, pp.761-766 (2000)
- (12) Kennel, Linder:「Generalized Predictive Control(GPC) Ready for Use in Drive Applications?」, in Proc. IEEE PESC Conf, pp1839-1844(2001)
- (13) Mohamed, Saadany:「Robust High Bandwidth Discrete-Time Predictive Current Control with Predictive Internal Model — A Unified Approach for Voltage-Source PWM Converters」, IEEE Transactions on Power Electronics, pp.126-136 (2008)
- (14) Mattavelli, Spiazzi, Tenti:「Predictive Digital Control of Power Factor Preregulators With Input Voltage Estimation Using Disturbance Observers」, IEEE Transactions on Power Electronics, pp140-147(2005)
- (15) Bibian, Jin:「High Performance Predictive Dead-Beat Digital Controller for DC Power Supplies」, IEEE Transactions on Power Electronics, pp.420-427(2008)
- (16) Kelly, Rinne:「A Self-Compensating Adaptive Digital Regulator for Switching Converters Based on Linear Prediction」, in Proc. IEEE APEC Conf, pp.712-718(2006)
- (17) Bibian, Jin:「Time Delay Compensation of Digital Control for DC Switchmode Power Supplies Using Prediction Techniques」, IEEE Transactions on Power Electronics, pp.835-842 (2008)

参考資料

- (A) Texas Instruments Inc:「Digital Point of Load System Controller UCD9240 datasheet (SLUS766C)」, (2008)
- (B) Intersil Inc:「Digital PWM System Controller ZL2004 datasheet (FN6846.0)」, (2009)
- (C) Marvell Semiconductor Inc:「MVP15x/MVP16 Datasheet (MV-S102809-00 Rev.G)」, (2008)
- (D) Bellnux Corp :「BDZ series datasheet BDD20091104」, (2009)
- (E) リシャレ:「モデル予測制御」, 日本工業出版社, (2009)

第7章 結論

低電源電圧・大電流定格の LSI 負荷は、動作モードの変更に伴い、電流が急激に変化する特徴を有している。この急激な電流変化が、LSI 負荷への電源供給ラインにおける配線インピーダンスに作用して大きな電圧変動が発生し、LSI 負荷に電源障害を引き起こす問題がある。この問題に対しては、POL を LSI 負荷の直近に配置する方法が有効とされている。しかし、LSI 負荷の電源電圧は、消費電力を抑えるため、さらに低下する傾向にあり、許容電圧範囲は縮小している。POL がコンデンサを増強せずに負荷急変に対応するためには、制御動作による高速応答化が求められる。POL 製品においては、通常、従来のアナログ電圧制御方式が多く用いられている。電圧制御は回路構成が簡素でコスト的長所が大きく、製品化に向いているが、応答性能の向上には限界があるため、プログラマブル DSP を応用した、デジタル制御 POL による高速応答の実現が期待されている。ソフトウェア方式によるデジタル制御を実現する DSP によって、回路を複雑化・大規模化することなく、高速応答に適した制御方式がプログラム動作によって具体化され、さらに、製品化への期間短縮も可能と考える。

POL は、応答性能向上を理由とする高帯域化のため、高い共振周波数の LC フィルタ、高スイッチング周波数動作が設定され、加えて、低オンデューティによる低出力電圧動作を特徴とする。さらに、DSP を応用したデジタル制御 POL の実現、並びにソフトウェア方式を利用する意義を示すにあたり、以下に述べる課題 1 から課題 4 を解決する必要がある。

1. DSP が内蔵する ADC は、低電圧かつ負荷急変時の変動に対し、高い精度と変換速度を維持しつつ、取得データを演算部に供給することが求められる。しかし、入力電圧値と変換速度に対し、変換されたデータに含まれる誤差を最小にする設定の決定方法が不明確である。一方、高分解能の DPWM は、高スイッチング周波数動作において、低オンデューティの PWM 信号が連続性を有すように、精度良く生成しなければならない。しかし、DSP の CLK 周波数と DPWM の分解能に一致がないため、PWM 信号が精度良く生成されない可能性がある。

2. 応答の高帯域化を理由に、LC フィルタの定数によって高い共振周波数が設定されるため、一般に用いられる PI 制御では、出力電圧波形が振動的となって安定動作が困難である。このため、高速応答と安定動作を両立する、POL に有効な制御式を設計する必要性に迫られる。しかし、POL 用のデジタル制御式は、アナログ回路とは異なり、経験と直感によって構築することは困難であるため、制御式導出手順の明確化を要する。

3. フルデジタル制御電源では、AD 変換や制御演算等の処理が冗長となり、無視できない遅延要素となる。さらに、固定スイッチング周波数動作の場合、PWM 信号の更新が 1 周期遅れて、遅れがより増大して応答性能が著しく損なわれる危険性がある。高速応答が重要視される POL では、これらの遅れが応答性能向上にあたっての制約となるため、その実現にあたっては、遅延要素への対処が強く求められる。

4. 従来のデジタル制御 POL 製品においては、制御方式がアナログ回路からの置き換え、試行

錯誤の調整作業を伴う等があり、その優位性は未だ確立されていないと考える。デジタル制御を POL に適用し、かつ、ソフトウェア方式の優位性を示すには、プログラマブルな DSP の利点を生かして、従来の電圧制御方式を維持しつつ、上述の遅れ要素に対処するための高度な制御手法を立案、並びに、具体化し、実機において高速応答を達成することが求められる。

以上に述べた、POL の制御特徴と DSP によるデジタル制御の課題を念頭に、本論文で対象とする POL の入出力条件・負荷条件・主回路動作環境・負荷急変時の出力電圧変動目標値を基本的に以下のように定めた。

入力電圧：12V，出力電圧/電流：1V/10A，スイッチング周波数：500kHz，電流変動範囲：50% (0-5A or 5A-10A)，スルーレート：10A/ μ s，出力電圧変動目標値：100mV 以内

さらに、実機動作の前に、以下の検討と決定を行った。

- ① POL の主回路を設計して LC フィルタの定数は $L=0.47\mu\text{H}$ ， $C_{\text{out}}=282\mu\text{F}$ に定め、続いて、高スイッチング周波数動作と低出力電圧動作の要件を満たすことが可能な DSP として、F2808 を選定した。さらに、POL の回路動作を定式化し、計算による出力電圧変動の推測を可能にした。
- ② DSP が内蔵する ADC に対して、各種入力電圧・変換速度に関する標本誤差と誤差分散の評価を実施し、高速応答・低電圧動作に最適と考えられる ADC-CLK 周波数を決定した。また、遅れ時間の少ない ADC の変換方式、ADC の取得データに対する移動平均の方法を決定した。
- ③ DSP が内蔵する DPWM が、低オンデューティの PWM 信号を精度良く生成するため、DSP の CLK 速度と DPWM の分解能の重みが一致性をもたせるように、演算された制御量データが格納されるメモリにおいて、小数から整数への繰上げを整合させる数値処理方法を決定した。
- ④ 共振周波数に対応した高帯域位相補償が可能な制御回路から、高速応答用のデジタル制御式を導出する手順を示し、さらに、処理時間を低減するため、次数を減らした制御式を確立した。

以上①から④の検討と決定により、上述の POL の制御特徴、および、課題 1 と課題 2 の解決を図った後、試作した 1/4 ブリック POL に搭載された DSP に、上記解決内容をプログラム化して実装した。また、実機試験によって得られた、負荷急変時における出力電圧変動の基本特性を目標数値以内に抑制するため、以下の制御手法を提案した。

- ⑤ 制御演算において使用される AD 変換された出力電圧データの取得タイミングを調整し、このタイミングを次周期に近付ける時間管理がなされた操作により、制御遅れ時間を短縮する。
- ⑥ 制御演算処理を分割し、分割された後処理を次周期開始時点に移動させることで、ADC のデータ取得タイミングをより次周期に近付けることを可能にし、制御遅れ時間を短縮する。

以上⑤、⑥の提案手法をプログラム化して DSP に実装し、負荷急変時の出力電圧変動値が、基本特性から 40%、目標数値に対して 20%抑制されたことを確認し、課題 3 の解決を結論した。

さらに、DSP を用いたデジタル制御 POL の工学的応用として、以下の内容を実施した。

- ⑦制御遅れを補償する知的な制御手法として、離散的に検出した出力電圧の変動傾向から、誤差量を線形推定するフィードフォワード型予測制御を提案した。
- ⑧ 新たに製作した 1/8 ブリックサイズの POL に搭載された、BGA タイプの DSP に、提案した予測制御手法をプログラム化して移植した。

以上⑦の提案手法、並びに、⑧の超小形デジタル制御POLを使用し、負荷急変時の出力電圧変動値が、基本特性から33%、目標数値に対して10%抑制されたことを確認し、課題3と課題4の解決を結論した。

以上より、第1章で提起した、DSPデジタル制御POLにおける問題に対して、第2章のハードウェア設計・DSPの選定、第3章のDSP周辺機能の最適使用検討、第4章の高速応答に適したデジタル制御式検討と机上検証、第5章の制御遅れ時間の短縮手法提案と実機検証、さらに、第6章の工学的応用で提案した、予測制御手法の適用によって示されたように、高速応答電源であるPOLにおいて、DSPを応用したデジタル制御の優位性と新規性を明らかにできたことを結論とする。

本研究で対象としたデジタル制御POLにおいて、負荷急変時の出力電圧変動を例えば50mV以下に抑制するためには、応答帯域のさらなる拡大を要する。これには、制御式をより多次化する方法が考えられる。本研究で使用したデジタル制御式は、その導出にあたり、デジタル再設計の手法を用いているが、より多次の制御式を得るのであれば、直接設計の手法を試す必要がある。また、基本制御方式である電圧制御を電流制御等の他方式に置き換える方法も考えられる。さらに、高速応答用の最適な制御式を検討するのであれば、より知的な手法の検討が必要となる。これらは、今後の検討課題である。

競争が激化する電源市場においてメーカーが生き残りを図るには、電源の永遠のテーマとされる、小形化・高効率化・低コスト化に取り組む続けると同時に、高い安全性・高付加価値・諸規制への対応を実現していくことが求められる。特に、車の電動化・電子化が大きく進み始めた現在、DC-DC電源のみならず、モータ制御の分野においても、デジタル制御技術はこれらの課題を克服するため、益々必要性を増していくであろう。また、通信機用電源、車載用電源は、共にネットワークと連なり、様々な動作モードによる運転要求がされることも予想される。さらに、個別に複雑化する電源回路への要求に対して、知的制御手法が必要とされる場面も数多く現れる可能性があり、デジタル制御とソフトウェアの技術が占める割合は増え続けていくであろう。

今後は、上記の課題や諸要求の解決が可能と考えられる、各種DSP・CPUの特徴を活かしたデジタル制御電源技術、および、各種制御手法の電源回路への応用に関する研究・開発に努めたい。対象となる電源技術は、コンバータ制御・インバータ制御・バッテリーマネジメント等多岐にわたる。これらの技術開発に取り組むことで、会社と社会への貢献を果たしていきたい。

関連論文

1. 野崎幸弘, 曾禰元隆:「小型スイッチング電源の現状とデジタル化」(解説)
高速信号処理応用技術学会誌 第9巻 第1号, pp.12-17 (2006-6)
2. 野崎幸弘, 曾禰元隆:「高速応答電源のデジタル制御化と安定動作の手法」
高速信号処理応用技術学会誌 第9巻 第2号, pp.20-25 (2006-12)
3. 野崎幸弘, 前川峻徳, 竹田史章, 曾禰元隆:「DSP デジタル制御 POL における内蔵 ADC の特性評価と最適な使用法」
高速信号処理応用技術学会誌 第10巻 第2号, pp.48-53 (2007-12)
4. 野崎幸弘, 前川峻徳, 竹田史章, 曾禰元隆:「DSP デジタル制御電源の入出力電圧変更にもなうループゲイン変化対策」
高速信号処理応用技術学会誌 第10巻 第2号, pp.54-59 (2007-12)
5. 野崎幸弘, 曾禰元隆, 竹田史章:「デジタル制御電源の現状とその将来像」(解説)
高速信号処理応用技術学会誌 第11巻 第2号, pp.2-7 (2008-12)
6. 野崎幸弘, 曾禰元隆, 竹田史章:「DSP デジタル制御による POL 電源の開発」
電気設備学会誌 (2011年4月号掲載予定)

国際会議

Y.Nozaki, M.Sone, F.Takeda:「Time Delay Reduction for Improving Transient Response of Digital Controlled POL Using DSP」 IEEE IPEC-Sapporo 2010, pp.1923-1928 (2010-6)

関連特許

1. 野崎幸弘, 前川峻徳, 曾禰元隆:「スイッチング電源、スイッチング電源の制御方法、スイッチング電源の制御プログラム」 公開番号 特開 2008-125286
2. 野崎幸弘, 井ノ口雄大, 曾禰元隆:「スイッチング電源回路、スイッチング電源回路の制御方法および制御プログラム」 公開番号 特開 2008-263713

関連講演

1. 野崎幸弘, 曾禰元隆:「小型スイッチング電源の現状とデジタル化」
Embedded Technology (2005-11)
2. 野崎幸弘:「DSP による電源のデジタル制御と高機能化」
スイッチング電源シンポジウム (2007-3)
3. 野崎幸弘, 曾禰元隆:「負荷急変に対する電源の高速応答とデジタル制御」
Embedded Technology West (2007-6)
4. 野崎幸弘, 曾禰元隆:「デジタル制御電源に用いる DSP:F2808 内蔵 ADC の評価、および、
電源の入出力条件による応答性化比較」
Embedded Technology (2007-11)
5. 野崎幸弘:「DSP デジタル制御電源における高速応答の手法」
組込み開発技術展 (2008-5)
6. 野崎幸弘:「電源とデジタル制御融合のメリット」
電子情報通信学会ソサイエティ大会 (2008-9)
7. 野崎幸弘:「DSP によるデジタル POL 技術」
デジタル電源技術フォーラム (2010-10)

謝辞

今回、私に学位取得の機会を与えてくださり、本論文の作成にあたり多大なるご指導を頂きました高知工科大学の竹田史章教授に、深く感謝いたします。また、本論文の作成において有益なご教示を頂きました、高知工科大学の井上喜雄教授、岡宏一教授、芝田京子准教授に感謝を申し上げます。さらに、研究活動および本論文の作成に貴重なご意見を賜りました、名古屋工業大学副学長の鵜飼裕之教授に感謝とお礼の意を申し上げます。そして、在学中に面倒をみてくださいました、高知工科大学知的認識システム開発研究室秘書の河渕美香様、永吉翠様に感謝いたします。

本研究は、2005 年度から、武蔵工業大学(現東京都市大学)の曾禰元隆教授(現 DSP 応用技術研究所所長)のご指導のもとに開始しました。武蔵工業大学電力情報研究室における共同研究に始まり、今日に至るまで多大なるご指導、ご鞭撻を賜り、進むべき方向を指し示して下さったことに深く感謝いたします。

さらに、共同研究においてご協力いただいた、当時の学生諸君に感謝いたします。特に、前川峻徳君と井ノ口雄大君による、長期間にわたる献身的な支援がなければ、ここへは行き着けなかったでしょう。また、高知工科大学在学中に有益な助言を頂きました、田本貞治様、曾禰大介様に感謝いたします。

そして、共同研究、および、高知工科大学への在学と論文作成に特別な配慮をいただきました、新電元工業の森川社長、吉田顧問、湯川技師長、旧回路開発センターの皆様、旧モジュール設計部の皆様、電装第4設計部および電装事業部の皆様に感謝を申し上げます。

最後に、私の研究と論文作成を日々笑顔で励まし続けてくれた、妻幸枝、息子友孝、息子寛人、および、遠くから見守ってくれた両親に心より感謝します。